



Università di Verona
Dipartimento Scientifico e Tecnologico

Architettura degli Elaboratori: prova intermedia 18/04/01

Cognome: **Nome:** **Matricola:**

Note: le soluzioni devono essere opportunamente commentate, è vietato utilizzare appunti o libri.

1) Rappresentare in base due il numero 23_{10} , utilizzando 8 bit e le seguenti codifiche:

- Modulo
- Modulo e segno
- Complemento a due.....
- Sommare al numero 23_{10} il numero 110110_2 codificato in complemento a due. Eseguire la somma in complemento a due e portare il risultato in base 10.

- Descrivere, come schema a blocchi, l'algoritmo per la somma di due numeri A e B in virgola mobile descritti, rispettivamente, dalla mantissa M_a e M_b e dall'esponente E_a e E_b .

2) Si consideri il circuito sequenziale che riconosce la seguente sequenza di codici a due bit: $11\ 11\ 00\ 11$. Il circuito ha i seguenti ingressi uscite:

- START[1]: quando vale 1 il circuito può iniziare, o riiniziare, il riconoscimento.
- DATO[2]: fornisce al circuito i valori della sequenza da riconoscere.
- OK[1]: viene posto a 1, per due cicli di clock, quando la sequenza è stata riconosciuta. Viene mantenuto 0 in tutti gli altri casi.
- NO[1]: viene posto a 1, per un ciclo di clock, tutte le volte che, durante la fase di riconoscimento della sequenza, sulla linea DATO è presente un codice che non appartiene all'insieme dei codici che costituiscono la sequenza. Viene mantenuto a 0 in tutti gli altri casi.
- Definire gli insiemi della FSM che descrive il controllore (gli ingressi e le uscite devono essere considerati *nell'ordine* in cui sono stati descritti):
 - $I = \{$
 - $O = \{$
 - $S = \{$
- Disegnare il grafo delle transizioni (STG) del controllore.

- Descrivere, eventualmente estendendo o riducendo la tabella, la tabella delle transizioni derivato dallo STG.

	$i \in I$					
$s \in S$						

3) Data la seguente FSM, descritta mediante la tabella delle transizioni:

	00	01	11	10
S0	S3/00	S6/01	S0/00	S7/11
S1	S1/01	S6/00	S4/11	S3/01
S2	S3/10	S2/11	S5/00	S6/00
S3	S0/01	S6/00	S1/11	S3/00
S4	S0/01	S6/00	S1/11	S3/00
S5	S0/01	S2/00	S1/11	S4/00
S6	S3/10	S2/11	S5/00	S6/00
S7	S7/00	S7/00	S7/00	S7/00

- Identificare la FSM minima equivalente e completando la tabella sottostante.

	00	01	11	10
S0				

-
- Dopo aver assegnato agli stati dei codici in sequenza a partire da 0, si identifichi l'espressione in somma di prodotti minima del bit di uscita meno significativo.