



Software per sistemi embedded



Tiziano Villa, Franco Fummi,
Graziano Pravadelli

Dip. Informatica Università di Verona



Modalità di Esame

- Una parte + opzioni:
 - teoria
 - scritto abilitante all' elaborato (ON/OFF)
 - elaborato
 - progetto su una delle tre tematiche
 - Presentazione progetti a $\frac{1}{4}$ del corso
 - on demand (orale)
 - +3 - ∞
- Regole generali:
 - elaborato dura 1 anno accademico

Modalità di Esame

- Alternative:
 - elaborato
 - stage aziendale
 - tesi
 - teoria
 - no way :-)
- Design&Reuse:
 - Laboratorio di Informatica (ordinamento 509/99)
 - Tesi
 - Stage pre-tesi

Argomenti

- Verifica:
 - Verifica funzionale
 - Verifica basata su asserzioni
 - Copertura delle asserzioni, identificazione di asserzioni vacue
 - Generazione automatica di checker
- Laboratorio:
 - radCHECK
 - Definizione asserzioni in linguaggio PSL
 - Generazione di checker
 - Verifica basata su asserzioni di SW embedded

Programma Dettagliato

Giorno	Data	Teoria	Lab.	Argomento
Mer	05/12	2		Verifica funzionale
Mar	18/12	3		Verifica basata su asserzioni
Mer	19/12	2		Metriche di copertura
Mar	08/01	3		Analisi di vacuità
Mer	09/01	2		Analisi di ridondanza
Mer	16/01	2		Il linguaggio PSL
Mar	22/01		3	radCHECK
Mer	23/01		2	radCHECK
Mar	29/01		1	radCHECK

Materiale

- Sul sito di e-learning
 - slide
 - articoli scientifici
 - esercizi
 - domande/risposte
 - iscriversi al corso seguendo il link da pagina web
 - utilizzare account/password di ateneo

Contatti

7081



mercoledì
12:30-14:30

su
appuntamento

graziano.pravadelli@univr.it