

Presentazione del Corso di Progettazione di Sistemi Embedded



Franco Fummi

University of Verona

Department of Computer Science

Italy



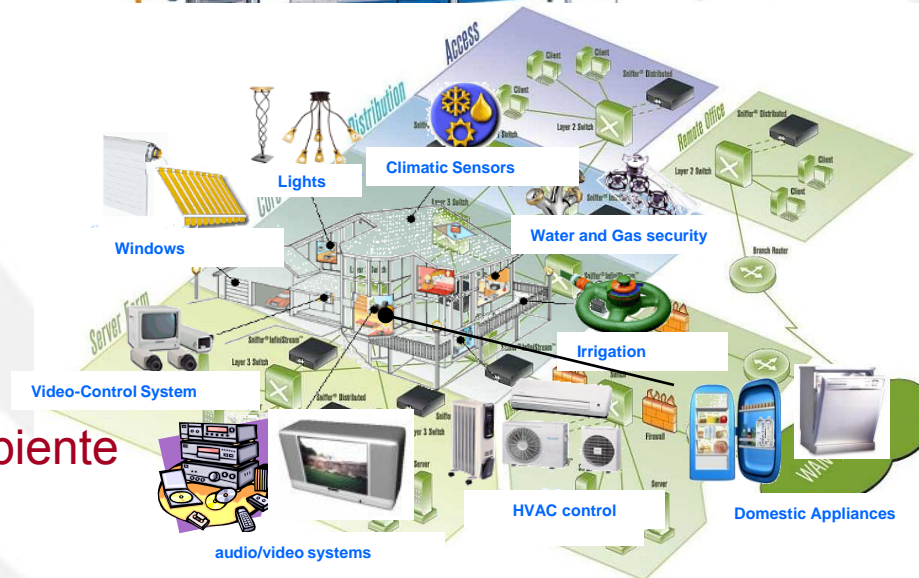
Laurea Magistrale in Ingegneria e Scienze Informatiche
Embedded Systems Design Course

Obiettivi

- Tecniche per la progettazione automatica di sistemi embedded:
 - a partire dalla loro specifica per passare attraverso
 - la verifica
 - la sintesi automatica
 - il collaudo
- Il corso presenta:
 - i principali linguaggi per affrontare questo progetto
 - i più avanzati strumenti automatici per la loro manipolazione

Rilevanza (I)

- dai computer ('60-'80):
 - sistemi generali per la soluzione di problemi generici
- ai sistemi di controllo digitale ('80-'90):
 - sistemi specializzati per il controllo e l'automazione
- ai sistemi distribuiti ('90-'00):
 - sistemi generali e/o specializzati cooperanti attraverso una rete
- ai sistemi embedded ('00-):
 - sistemi distribuiti integrati in ogni oggetto e nell'ambiente



Rilevanza (II)

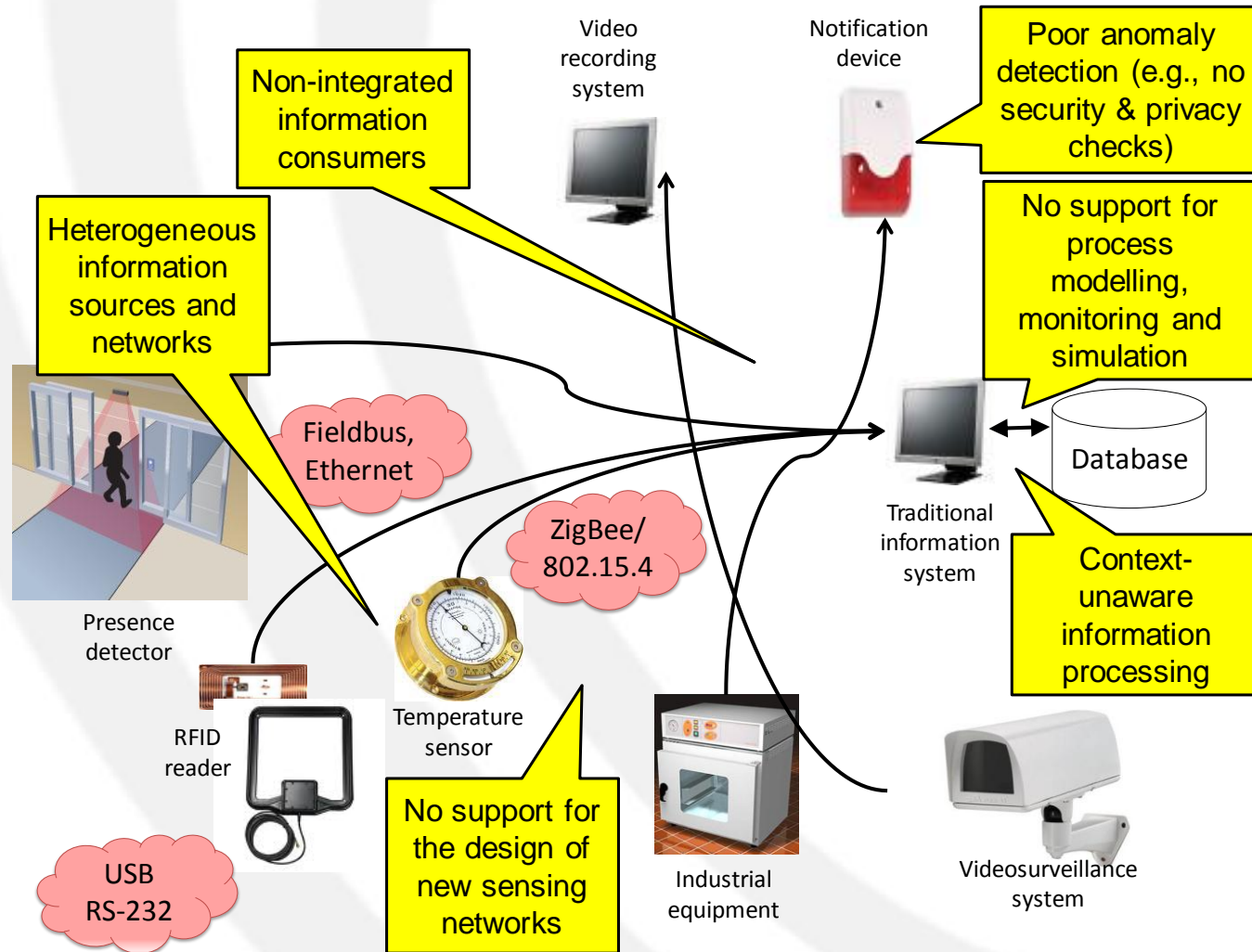


Rilevanza (III)

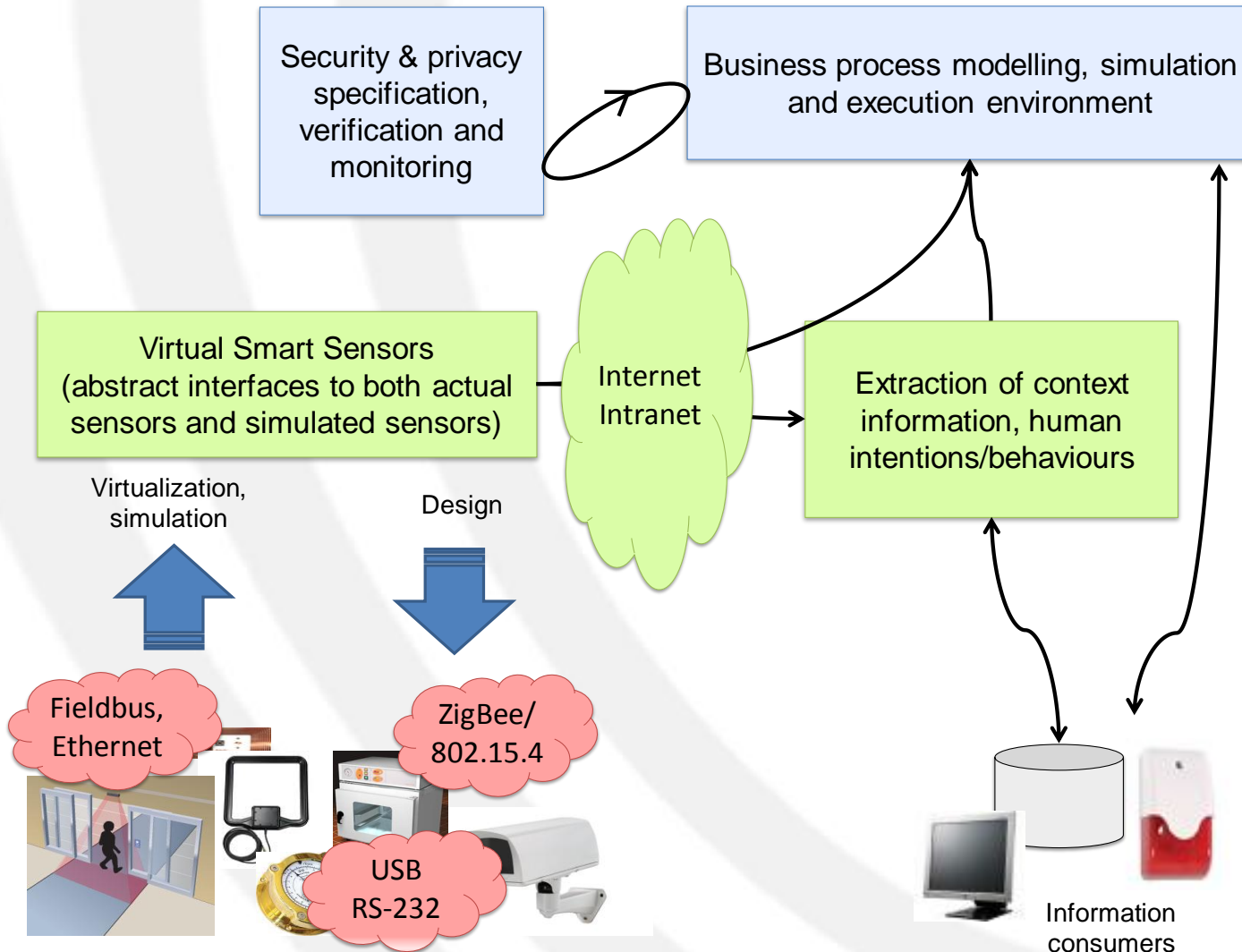
- 5 progetti europei completati e attivi:
 - Angel, Vertigo, Coconut, C4C, Complex
- 2 progetti europei in FP6
 - ANGEL (mobile gateway for sensors network)
 - VERTIGO (HW formal verification)
- 3 progetti europei in FP7
 - COCONUT (embedded systems design and verification)
 - best evaluation of the overall embedded systems track
 - C4C (control for coordination of distributed systems)
 - COMPLEX (CO-design and Power Management in PPlatform-based Design Space EXploration)



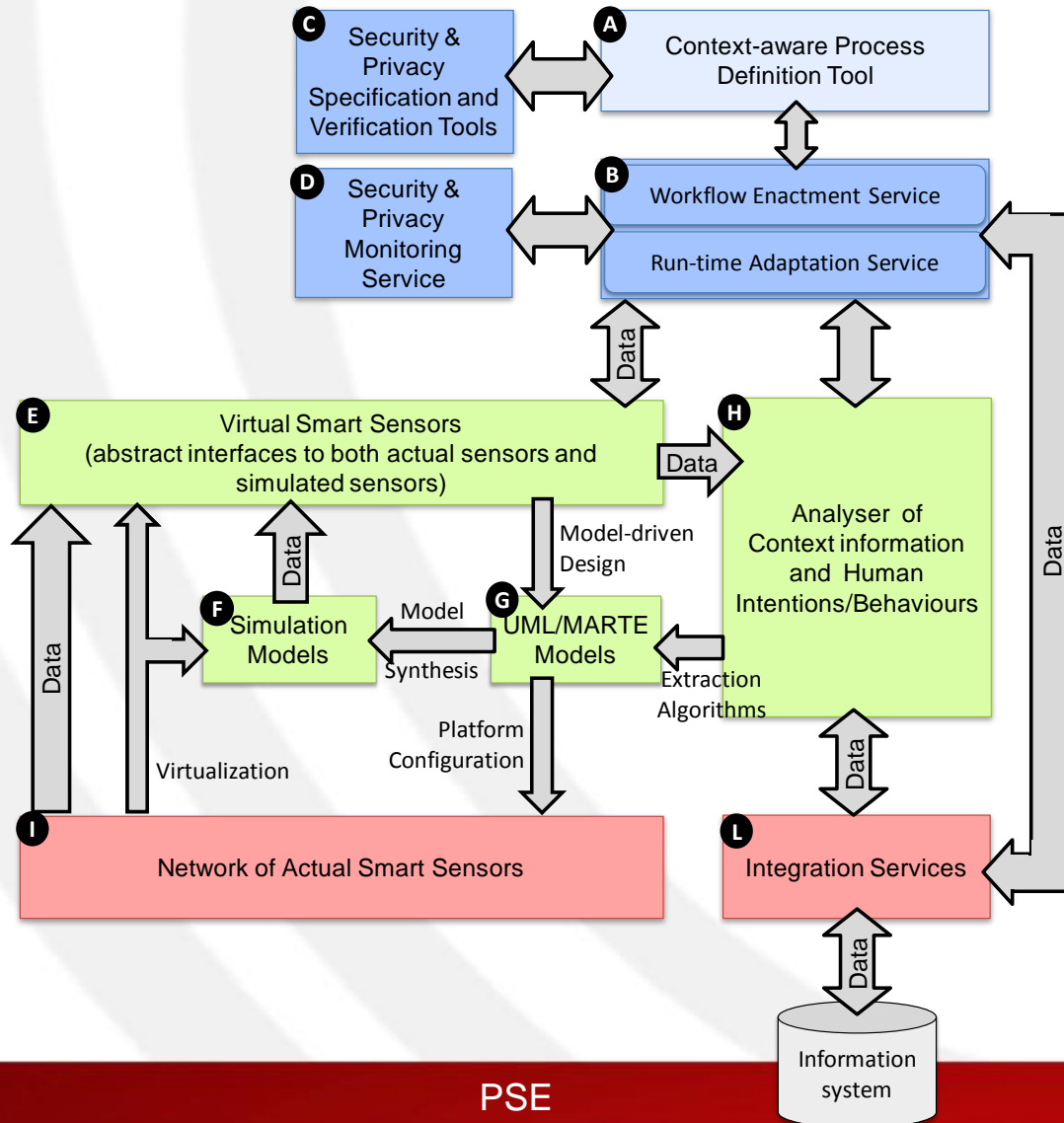
Sistemi Embedded e Informativi (I)



Sistemi Embedded e Informativi (II)



Sistemi Embedded e Informativi (III)



Struttura del Corso

- 34 lezioni:
 - 32 ore di teoria
 - 22 lezioni
 - 24 ore di laboratorio
 - 12 lezioni
- Persone:
 - Franco Fummi (teoria)
 - Sara Vinco (laboratorio)
 - ... per elaborati



Modalità di Esame (I)

- Una parte + opzioni:
 - teoria
 - scritto con votazione /30
 - elaborato
 - progetto comune +3 punti max
 - Presentazione progetti a $\frac{3}{4}$ del corso
 - on demand (orale)
 - +3 -∞
- Regole generali:
 - elaborato dura 1 anno accademico



Modalità di Esame (II)

- Alternative:
 - Elaborato personale
 - stage aziendale
 - tesi
 - Teoria
 - no way :-)
- Design&Reuse:
 - laboratorio di Informatica (ordinamento 509/99)
 - tesi
 - stage pre-tesi



Pre/post Condizioni

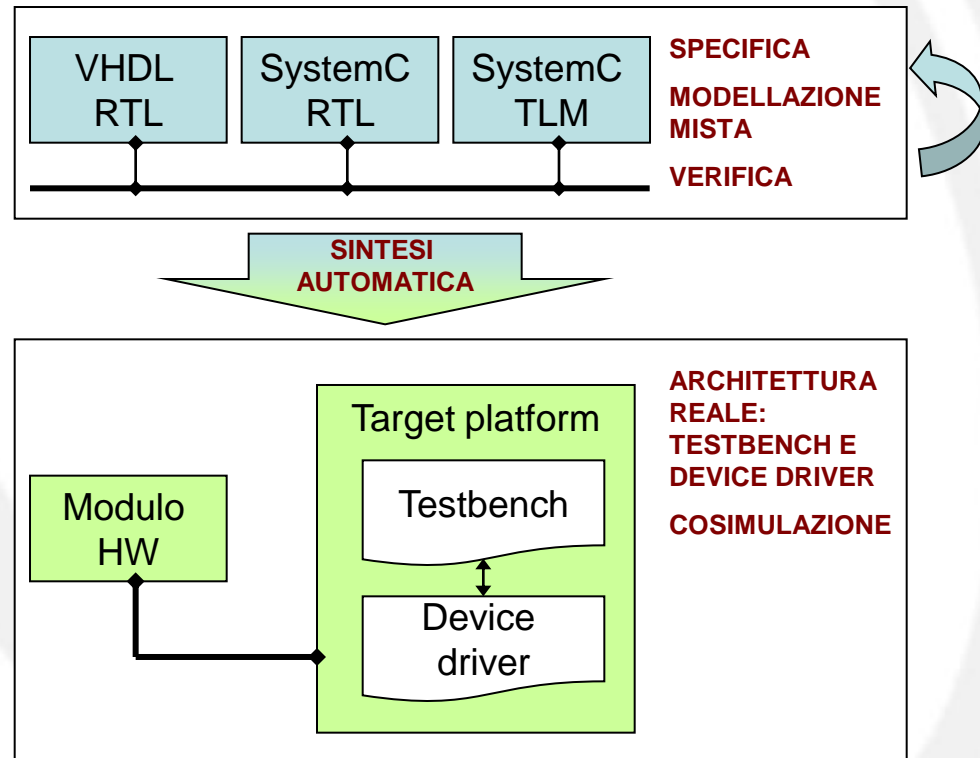
- Precedenze Indispensabili:
 - Architettura degli Elaboratori
 - Programmazione
 - Linguaggi ...
 - Sistemi (Metodi di specifica)
- Fondamentale per
 - Curriculum sistemi embedded (magistrale in Ingegneria)
 - Sistemi operativi avanzati, Architetture avanzate, Software per Sistemi Embedded, Sistemi Embedded Multimediali, Sistemi Embedded di Rete...

Argomenti (teoria)

- **Specifica:**
 - modellazione di sistemi embedded
 - progettazione basata su SystemC
 - introduzione alla progettazione transazionale
 - lo standard TLM 2.0
 - modellazione di sistemi in VHDL
 - sintassi VHDL
 - i sistemi embedded di rete (NES)
- **Sintesi hardware:**
 - introduzione alla sintesi dal livello transazionale
 - sintesi ad alto livello
 - sintesi automatica da VHDL
- **Sintesi software:**
 - generazione di software embedded
 - generazione automatica di device driver
 - middleware per sistemi embedded
- **Verifica e collaudo:**
 - introduzione alla verifica di sistemi embedded
 - introduzione al collaudo di sistemi embedded
 - VHDL simulazione temporale
 - verifica e ottimizzazione di software embedded
 - cosimulazione hardware/software/network

Argomenti (lab.)

- **Specifica:**
 - compilazione/esecuzione/debugging codice SystemC
 - modellazione SystemC livello TLM
 - modellazione SystemC a livello RT
 - evoluzione del tempo in SystemC
 - modellazione mista RTL/TLM e asserzioni
 - simulazione temporale in VHDL
- **Sintesi hardware:**
 - sintesi automatica dal livello TLM
 - modellazione VHDL a livello RT
 - sintesi automatica di VHDL a livello RT
- **Sintesi software:**
 - testbench e device driver
 - cosimulazione ISS/SystemC



Programma Dettagliato

set	data	giorno	Lezione	Laborat	Argomento
9	02-mar	gio.	2	2	generazione automatica di device driver
9	03-mar	ven.	2	2	introduzione al corso; modellazione di sistemi embedded I
10	04-mar	ven.	1		analisi delle risorse in SystemC
10	04-mar	ven.	1		modellazione di sistemi embedded II
10	06-mar	ven.	1		cosimulazione hardware/software/network; introduzione al VHDL
10	06-mar	ven.	1		NO
10	06-mar	ven.	1		classi VHDL I
10	10-mar	gio.	2	2	progettazione basata su SystemC I; progettazione basata su SystemC II
10	10-mar	gio.	2	2	progettazione basata su SystemC I
12	11-mar	ven.	1		classi VHDL II; modellazione di sistemi in VHDL I
12	11-mar	ven.	1		NO
12	11-mar	ven.	1		modellazione di sistemi in VHDL II
12	13-mar	gio.		2	testbench e device driver
12	13-mar	gio.		2	NO
12	16-mar	ven.	2		VHDL simulazione temporale I; VHDL simulazione temporale II
12	16-mar	ven.	2		NO
12	18-mar	ven.	1		Sintesi automatica da VHDL I
14	21-mar	gio.	2	2	progettazione basata su piattaforme; introduzione alla progettazione transazionale
14	21-mar	gio.	2	2	cosimulazione I/S/ SystemC I
14	26-mar	ven.	1		lo standard ILM 2.0 I
14	26-mar	ven.	1		sintesi automatica da VHDL II; i sistemi embedded di rete (NFS)
14	27-mar	ven.	1	2	middleware per sistemi embedded
14	27-mar	ven.	1	2	compilazione/esecuzione/debugging codice SystemC
15	27-mar	gio.	2	2	cosimulazione I/S/ SystemC 2
15	27-mar	gio.	2	2	cosimulazione I/S/ SystemC 2
15	01-apr	ven.	1		sintesi ad alto livello: scheduling I
15	01-apr	ven.	1	2	middleware per sistemi embedded II; introduzione alla verifica di sistemi embedded
15	01-apr	ven.	1	2	modellazione SystemC livello ILM
15	01-apr	ven.	1	2	introduzione al collaudo di sistemi embedded
15	03-apr	gio.	2	2	sintesi ad alto livello: scheduling II; sintesi ad alto livello: allocation
15	03-apr	gio.	2	2	analisi della VMPI a livello RT
15	08-apr	ven.	1		generazione di software embedded
15	08-apr	ven.	1		seminari: SystemC-AWS VMPI Synthesis on FPGA
15	08-apr	ven.	1	2	modellazione SystemC a livello RT
15	08-apr	ven.	1	2	modellazione SystemC a livello RT
15	10-apr	gio.		2	seminari: Distributed Embedded System Challenges: ;Cyber-Physical Systems
15	10-apr	gio.		2	sintesi automatica di VHDL a livello RT
16	16-apr	ven.	1		verifica e ottimizzazione di software embedded
16	16-apr	ven.	1		prova finale
7 ore	15-apr	ven.	32	24	modellazione mista RTL/ILM e asserzioni
8	CEU 1-apr	gio.	4,0	2,0	FESTA
8	22-apr	ven.			FESTA
8	22-apr	ven.			FESTA
9	28-apr	gio.			prova intermedia

Materiale (I)

- Sulla pagina web del corso
 - orario dettagliato
 - programma
- Sul sito di e-learning
 - lucidi del corso
 - schede di laboratorio
 - domande/risposte
 - iscriversi al corso seguendo il link da pagina web
 - utilizzare account/password di ateneo
- Seminari
 - comunicati a lezione

Materiale (II)

- Esempio di lucidi del corso:
 - 0.CourseIntroduction
 - 1.EmbeddedSystemsModeling
 - 2.SystemCBasedDesignFlow
 - 3.PlatformBasedDesign
 - 4.TLMBasedDesign
 - 5.HighLevelSynthesis
 - 6.EmbeddedSoftware
 - 7.DeviceDriver
 - 8.HwSwNwCosimulation
 - 9.VHDLDesignIntroduction
- Esempio di lucidi del corso:
 - 10.VHDLSyntax
 - 11.VHDLSpecification
 - 12.VHDLSimulation
 - 13.VHDLSynthesis
 - 14.NESDesign
 - 15.EmbeddedMW
 - 16.VerificationAndTesting

Attrezzature

- Lab. ESD e NES
 - CV2 piano -2
 - Sun, Linux



Maggiori Informazioni

<http://www.di.univr.it/~fummi>

Laurea magistrale in Ingegneria e scienze informatiche



Progettazione di sistemi embedded (2010/2011)

Course code	4S02911
Teacher	Franco Fummi
Coordinator	Franco Fummi
training credits	6
Other available courses	Degree in Multimedia Information technology
Disciplinary sector	ING-INF/05 - Information Processing Systems
Teaching language	Italian
Period	II semestre dal Mar 1, 2011 al Jun 15, 2011.

Links

- >> Course news
- >> Seminars related to the course

Lesson timetable

II semestre				
day	Time	Type	Place	Note
Thursday	4:30 PM - 6:30 PM	lesson	Lecture theatre I	
Friday	8:30 AM - 9:30 AM	lesson	Lecture theatre I	
Friday	9:30 AM - 11:30 AM	laboratorio	Didactic workshop Alfa	

Educational objectives

The aim of this course is the presentation of some design automation techniques for embedded systems covering the entire design flow through modeling, verification, synthesis and testing. The most important design languages are introduced such as the most advanced EDA tools.

Per i più tenaci...

7994



Mercoledì
8:30 – 10:30

Nei
corridoi...
di corsa

franco.fummi@univr.it

Per i tenaci tenaci...

7048



Lunedì 10.30
– 11.30

Sul sito e-learning

sara.vinco@univr.it