



Laboratorio di Architettura degli Elaboratori

A.A. 2005/06

Elaborato SIS

Descrizione del circuito da realizzare

Si vuole progettare un circuito digitale per interfacciare una linea di trasmissione a 8 bit ad una linea di trasmissione a 32 bit. Sulla linea in ingresso arriva un nuovo byte ad ogni intervallo di clock. Ogni 3 byte arriva un byte corrispondente alla loro somma al fine di rilevare eventuali errori di trasmissione.

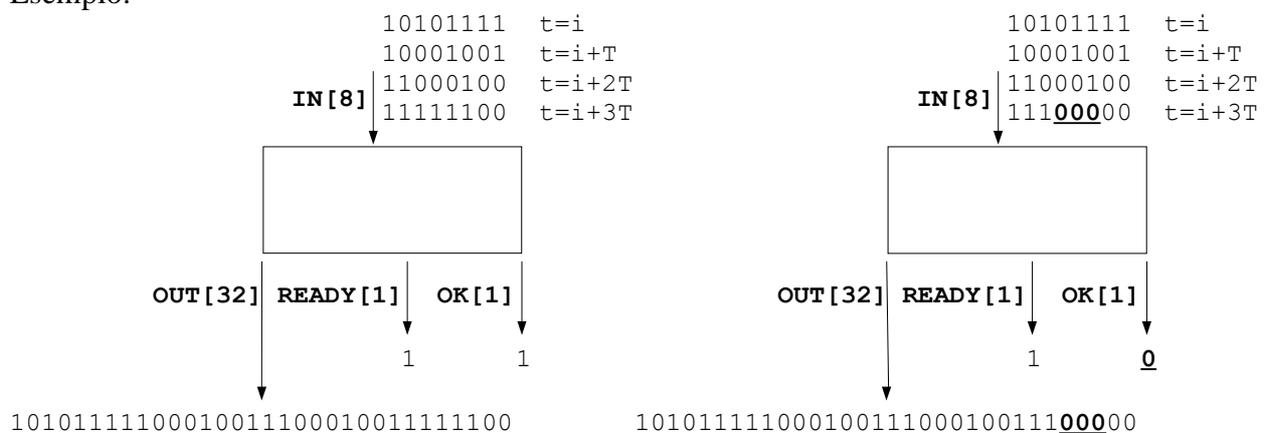
Il circuito deve concatenare 4 byte consecutivi sull'uscita a 32 bit. Esso deve anche ricalcolare la somma dei primi 3 byte e confrontarla col 4° byte per evidenziare errori di trasmissione.

La somma dei 3 byte avviene sempre considerandoli come numeri senza segno e ignorando il riporto dopo l'ottava cifra.

Il circuito è composto da un *controllore* e da un *datapath* e deve avere i seguenti ingressi e uscite (per le uscite si utilizzi esattamente questo ordine nel listato BLIF):

- IN[8]: ingresso della linea di trasmissione a 8 bit.
- OUT[32]: linea di trasmissione in uscita a 32 bit.
- READY[1]: uscita che vale 1 quando sono disponibili su OUT tutti e 4 i byte e vale 0 negli altri casi.
- OK[1]: vale 1 se il valore del 4° byte arrivato corrisponde alla somma dei primi 3. I circuiti esterni che useranno questo segnale sono interessati al suo valore solo quando READY=1.

Esempio:





Modalità di consegna dell'elaborato

Materiale da consegnare:

1. Codice BLIF del circuito su floppy o chiave USB.
2. Relazione stampata contenente:
 - A) l'architettura generale del circuito con i segnali tra controllore e datapath;
 - B) il diagramma degli stati del controllore;
 - C) l'architettura del datapath;
 - D) i risultati ottenuti dall'ottimizzazione del circuito;
 - E) il numero di gate e ritardo ottenuti mappando il design sulla libreria tecnologica **synch.genlib**;
 - F) la descrizione delle scelte progettuali effettuate.

Tempi di consegna e iscrizione all'appello:

1. pre-appello di Aprile: le verifiche avverranno il **5 e 6 Aprile**, occorre prenotarsi sulla pagina web di Laboratorio **entro il 2 Aprile**, il 4 Aprile verrà pubblicato su web il calendario dettagliato con data, aula e ora per ciascuno degli studenti prenotati.
2. appelli normali: iscrizione via Internet come per tutti gli altri esami, due giorni prima dell'appello verrà pubblicato sulla pagina web di Laboratorio il calendario dettagliato con data, aula e ora per ciascuno degli studenti prenotati.

Gli elaborati consegnati al pre-appello di Aprile avranno un punteggio che va da 0 a 4, per gli altri appelli il punteggio sarà da 0 a 3. Il punteggio di questo elaborato farà media con quello del secondo elaborato (Assembly) e i punti risultanti saranno sommati al voto dello scritto di Architettura degli Elaboratori (prof. Fummi).

Gli elaborati possono essere svolti in gruppi di **max 2 studenti**; è possibile consegnare una sola relazione e fare una sola discussione per gruppo ma **entrambi gli studenti** devono conoscere tutti i dettagli del progetto.

Negli appelli ufficiali l'esame di Laboratorio di Architettura degli Elaboratori consiste nella consegna, verifica e discussione di entrambi gli elaborati su SIS e Assembly.