



Università di Verona
Dipartimento Scientifico e Tecnologico

Architettura degli Elaboratori: esame 18/07/00

Cognome:.....**Nome:** **Matricola:**

Note: *le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.*

- 1) Si consideri il problema della sintesi automatica di circuiti digitali combinatori.
- Spiegare con un esempio l'utilizzo del *don't care set* nella sintesi esatta a due livelli.

- Si descriva, con un esempio, l'algoritmo di Paul-Unger.

- 2) Si consideri il circuito sequenziale che controlla l'apertura di un *cancello* automatico. Il comando di apertura può essere imposto attraverso una chiave. La chiusura del cancello avviene automaticamente dopo un periodo di tempo predefinito e può essere ritardata nel caso sia rilevato un oggetto dai sensori a infrarossi che controllano l'area di apertura del cancello. Il circuito ha i seguenti ingressi e uscite.
- CHIAVE[2]: segnale collegato alla chiave di apertura/chiusura del cancello a tre posizioni: 01 apertura, 10 chiusura, 00 posizione di riposo della serratura. La chiave, essendo comandata manualmente, può inviare una sequenza di valori (per esempio tanti 01 per indicare l'apertura), ma solamente l'ultimo valore viene interpretato come il comando effettivo.
 - APERTO[1]: vale 1 quando il cancello è in posizione aperta.
 - CHIUSO[1]: vale 1 quando il cancello è in posizione chiusa.
 - OCCUPATO[1]: vale 1 se un oggetto occupa lo spazio del cancello impedendone la chiusura, l'apertura avviene indipendentemente da questo segnale.
 - MOTORE[2]: viene posto a 01 per indicare l'azione di apertura e mantenuto a questo valore finché il cancello non è aperto. Viene posto a 10 per comandare la chiusura e tenuto a 00 per non far compiere al motore alcuna azione.
 - Si disegni il grafo delle transizioni della FSM che rappresenta il circuito, sapendo che gli ingressi e l'uscita sono nell'ordine dato. Se ne ricavi poi la tabella delle transizioni.

-
- Si identifichi la FSM minima equivalente a quella trovata.

- Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il segnale MOTORE[1].

-
- 3) Si consideri il problema della codifica binaria delle informazioni.

- Quali sono i passi che permettono di .

- Si assuma che l'architettura precedente sia dotata di 64Mbyte di memoria fisica e che le pagine abbiano dimensione di 4Kbyte. Se un programma di benchmark accede in sequenza a tutti gli elementi di un array di 2000 numeri interi, quale deve essere la dimensione del *working set* perché si abbiano dei *page fault* solamente nella fase di caricamento del programma? Quanti *page fault* si hanno durante l'esecuzione del programma ipotizzando che il *working set* abbia una pagina meno dell'ottimo trovato?

4) Elencare le micro istruzioni (insieme dei segnali di controllo) relative alla completa esecuzione (caricamento, decodifica, esecuzione) della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia un solo BUS, che l'istruzione sia composta da una sola parola, che (%EAX) rappresenti un metodo di indirizzamento indiretto a registro e che il salto condizionato sia di tipo diretto (usare solamente le righe necessarie):

JZ (%EAX)+%SI

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

- Descrivere lo schema di controllo di una CPU microprogrammata. Esempificare lo schema utilizzando la fase di *fetch* dell'istruzione precedente..