



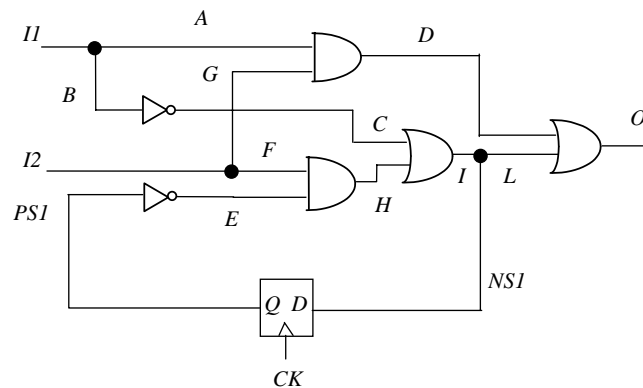
Università di Verona
Dipartimento di Informatica

Sistemi per la Progettazione Automatica: esame 26/03/02

Cognome: Nome: Matricola:

Note: le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.

- 1) Identificare una sequenza di test per il guasto D stuck-at 0. Quali sono i motivi all'origine dei guasti ridondanti in un circuito sequenziale?



- Descrivere la struttura e l'utilizzo di un registro di scan.

- 2) Si descriva in VHDL, negli stile *behavioral*, *data-flow* e *strutturale*, un sommatore/sottrattore di numeri interi di ampiezza variabile in complemento a due. Il circuito esegue la somma tra il numero *A* e *B* se l'ingresso *OP* è uguale a 1 altrimenti esegue la sottrazione tra *A* e *B*. Il risultato viene posto sulla porta *OU*.

-
- 3) Sia dato il seguente algoritmo (x e y sono variabili i cui valori iniziali sono forniti dall'esterno; a , b e c sono costanti fornite dall'esterno; variabili e costanti sono tutte di 8 bit)

```
x1 = (x + a) * y;  
y1 = (x + b) / c;  
z = 0;  
if (x1 > y1) then  
    z = (x1 - y1) * a;  
x = x1 + z;  
y = y1 * z;
```

- si progetti la FSMD che realizza tale algoritmo *a latenza minima*, cercando di ridurre il più possibile il numero di risorse. La FSMD deve essere descritta in VHDL con un unico processo.