



Università di Verona
Dipartimento di Informatica

Sistemi per la Progettazione Automatica: prova intermedia 21/02/02

Cognome: **Nome:** **Matricola:**

Note: *le soluzioni devono essere opportunamente commentate,*
 è vietato utilizzare appunti o libri.

- 1) Si consideri la seguente descrizione VHDL comportamentale. Si identifichi una sua realizzazione a livello RT (FSMD) che garantisca la latenza minima e cerchi di minimizzare il numero delle risorse. Si disegni il *data path* della FSMD mediante componenti e il controllore come una macchina a stati finiti esplicitando i segnali che interconnettono controllore e *data path*.

```
architecture bhv of example is
begin
  P1 : process(clk)
    variable a, b, c: UNSIGNED (SIZE-1 DOWNT0 0) := 0 ;
    variable d, e: UNSIGNED (SIZE-1 DOWNT0 0) := 1;
  begin
    a := in_a; b := in_b
    while (a < b) loop
      d := d * (a + b);
      e := e * (d * c + a);
      if (e < d) then
        f_out <= e + b;
      else
        f_out <= e * b;
      end if;
      a := a + 1;
    end loop;
  end process P1;
end example;
```

2) Descrivere i quattro stili di rappresentazione per la sintesi di un processo. Riportare un esempio VHDL per ogni stile descrivendo il risultato atteso dalla sintesi.

3) Si definisca il concetto di ritardo VHDL di tipo *delta*, *inertial* e *transport*.

- Disegnare l'andamento nel tempo dei segnali out1 e out2 a partire dalla fase di inizializzazione della simulazione.

```
architecture mix of example is
  signal a: std_logic ;
  signal b: std_logic := '0';
begin
  generator: process
  begin
    a <= '1' after 10 ns, '0' after 20ns, '1' after 40ns;
    wait;
  end generator;

  out1 <= a or b after 15 ns;
  out2 <= transport a or b after 15 ns;
end example;
```

