

Laboratorio di Fisica dei Dispositivi Integrati  
A.A. 2010/2011

Luca Geretti

19 gennaio 2011



# Indice

<b>Introduzione</b>	<b>5</b>
<b>1 Reti elettriche</b>	<b>7</b>
1.1 Nozioni di base . . . . .	7
1.1.1 Definizione di un circuito . . . . .	8
1.1.2 Risoluzione di un circuito . . . . .	9
1.2 Bipoli generatori . . . . .	10
1.3 Bipoli utilizzatori . . . . .	11
1.3.1 Il resistore . . . . .	12
1.3.2 Il condensatore . . . . .	19
1.3.3 L'induttore . . . . .	25
1.4 Circuiti di ordine superiore . . . . .	29
<b>2 Diodi</b>	<b>35</b>
2.1 Regioni di funzionamento . . . . .	35
2.1.1 Diretta . . . . .	35
2.1.2 Inversa . . . . .	37
2.1.3 Breakdown . . . . .	38
2.2 Applicazioni . . . . .	39
<b>3 MOSFET</b>	<b>47</b>
3.1 Comportamento statico . . . . .	47
3.2 Comportamento dinamico . . . . .	52
3.3 Inverter MOS . . . . .	53
<b>4 BJT</b>	<b>65</b>
4.1 Comportamento statico . . . . .	65
4.2 Comportamento dinamico . . . . .	69
<b>5 Porte Logiche</b>	<b>75</b>
5.1 Circuiti Analogici . . . . .	75
5.2 Circuiti Misti . . . . .	81
5.3 Circuiti Digitali . . . . .	86
<b>6 Memorie</b>	<b>91</b>
6.1 Latch . . . . .	91
6.2 Flip-Flop . . . . .	96



# Introduzione

L'obiettivo di questa dispensa è fornire un supporto di riferimento relativo all'attività di laboratorio del corso di Fisica dei Dispositivi Integrati.

L'attività di laboratorio consiste nell'utilizzo di un pacchetto software di design e simulazione di circuiti chiamato Micro-Cap, disponibile in ambiente Windows. La versione per studenti, liberamente scaricabile dal sito ufficiale della Spectrum Software, possiede tutte le funzionalità della versione commerciale ma è limitata nella complessità dei circuiti trattabili; inoltre è possibile utilizzare solo componenti circuitali astratti generici, escludendo dunque i componenti "reali" commerciali. Per l'utilizzo che verrà fatto dello strumento in laboratorio tutte le limitazioni sopra citate non sono rilevanti.

Esistono svariati pacchetti software, gratuiti o a pagamento, che presentano funzionalità simili a quelle offerte da Micro-Cap. Tutti questi si basano su un approccio simulativo chiamato SPICE, ormai standard industriale del settore, specificamente ideato per analizzare in maniera accurata la dinamica di circuiti complessi. Un simulatore SPICE in generale accetta in ingresso una descrizione del circuito attraverso una *netlist*, ovvero una lista di istanze di componenti elettrici ognuno corredato dai nomi dei terminali che presenta (due componenti che condividono lo stesso nome di terminale sono direttamente collegati fra loro) e dai parametri del componente stesso (p.e. il valore della resistenza di un resistore). Tale netlist può essere costruita manualmente oppure essere il risultato di una fase di design grafico, come nel caso dei pacchetti software moderni. Un simulatore SPICE utilizza metodi numerici di risoluzione dei circuiti ed è in grado di effettuare principalmente le seguenti analisi:

- *DC*: per ingressi in continua, calcola i valori di riposo di correnti e tensioni del circuito al variare dell'ampiezza del segnale d'ingresso;
- *AC*: per ingressi di tipo sinusoidale, calcola i valori di correnti e tensioni del circuito al variare della frequenza del segnale d'ingresso;
- *Transient*: data una certa evoluzione degli ingressi, calcola i valori corrispondenti di correnti e tensioni del circuito.

L'uscita dell'analisi simulativa è data dai valori (nell'ampiezza, nella frequenza o nel tempo, in base al tipo di analisi) delle correnti/tensioni che si vogliono osservare. Per questo laboratorio verranno utilizzate principalmente le analisi in continua ed in transitorio, in quanto l'analisi in alternata richiede la conoscenza di concetti di *analisi ai piccoli segnali* e dei relativi modelli per i componenti elettrici utilizzati.

Dal punto di vista operativo, dunque, l'analisi di circuiti attraverso Micro-Cap è costituita delle seguenti fasi:

1. Descrizione del circuito attraverso uno *schematics editor*, ovvero un frontend grafico che permette di costruire visivamente il circuito attraverso l'inserimento di componenti elettrici e relative interconnessioni;
2. Specifica del tipo di analisi da svolgere;

3. Definizione dei segnali del circuito che si vogliono osservare una volta completata l'analisi;
4. Esecuzione dell'analisi e visualizzazione delle forme d'onda dei segnali interessati.

Grazie all'ausilio grafico, una volta completata la descrizione del circuito è possibile ottenere le forme d'onda dei segnali desiderati con pochi semplici passi. Analogamente, è possibile modificare in modo rapido lo schema del circuito e ripetere l'analisi per individuare le differenze nei segnali interessati. Questa dispensa è scaricabile nella sua versione aggiornata al seguente indirizzo:

[http://luca.geretti.com/dispensa\\_lab\\_fdi.pdf](http://luca.geretti.com/dispensa_lab_fdi.pdf)

# Capitolo 1

## Reti elettriche

### 1.1 Nozioni di base

Una rete elettrica (o più comunemente circuito elettrico) è data dall'interconnessione di componenti elettrici allo scopo di formare percorsi chiusi, o *maglie*, attraverso le quali una *corrente* è in grado di scorrere. Ogni maglia è costituita da più *rami* collegati fra loro. La risoluzione di un circuito elettrico si basa sull'assunzione che le proprietà elettromagnetiche<sup>1</sup> del circuito siano descrivibili attraverso parametri concentrati, ossia sia possibile introdurre un numero finito di componenti elettrici, ognuno con un certo numero di *poli* (o “capi” o “terminali”), connessi fra loro. Questo permette di avere un numero finito di *nodi*, ovvero di regioni del circuito in ognuna delle quali la *tensione*, che rappresenta il potenziale elettrico in un circuito, assume stesso valore. Tali nodi sono individuati per ogni terminale, ma poichè i terminali sono interconnessi il numero di nodi è inferiore<sup>2</sup>. Infine, in generale ogni componente è caratterizzato da una precisa equazione differenziale ordinaria nelle variabili di *tensione* (diversa per ogni punto di interconnessione fra componenti) e *corrente* (diversa per ogni ramo).

Fra le diverse tipologie di componenti elettrici esistenti, in questo Capitolo ci concentreremo sui *bipoli* elettrici, caratterizzati appunto dalla presenza di due soli poli elettrici (“positivo” e “negativo”). Un bipolo introdotto in un circuito avrà una differenza di tensione  $v$  fra i due poli<sup>3</sup> e sarà attraversato da una unica corrente  $i$ , con una equazione caratteristica nella forma

$$f(i, v, i', v') = 0 \quad (1.1)$$

dove  $i'$  e  $v'$  sono le derivate prime nel tempo di corrente e differenza di tensione. Una rappresentazione completa di un bipolo elettrico generico è mostrata in Fig. 1.1.

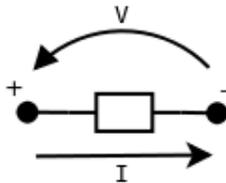


Figura 1.1: Un bipolo elettrico generico.

Si noti che la rappresentazione di Fig. 1.1 non implica che la corrente non possa scorrere nel verso opposto (così come il terminale positivo non deve necessariamente avere una tensione maggiore di

<sup>1</sup>Ottenibili attraverso l'applicazione puntuale delle Equazioni di Maxwell.

<sup>2</sup>Entreremo a breve nel dettaglio di questo aspetto.

<sup>3</sup>Calcolata come sottrazione tra il valore della tensione al polo positivo e quello al polo negativo.

quello negativo), bensì consente unicamente di interpretare correttamente il segno di correnti e differenze di tensione che risultino dalla risoluzione (manuale o automatica) del circuito. Inoltre, la notazione grafica è decisamente ridondante: possiamo ottenere un risultato più snello rimuovendo il ramo relativo alla differenza di tensione, nonché eliminare l'annotazione del polo negativo; anche la convenzione del verso della corrente può essere convenientemente rimossa qualora si rammenti che la corrente è assunta entrante nel polo positivo. Si noti che, per brevità, si usa comunemente anche il termine tensione (di un bipolo) per indicare la differenza di tensione fra il polo positivo e negativo di un bipolo; in questo caso non vi è rischio di ambiguità qualora si espliciti il fatto che ci riferisce ad una coppia di poli piuttosto che ad un singolo polo.

Dal punto di vista funzionale, si distinguono due classi di bipoli: bipoli *generatori*, che sviluppano potenza elettrica (equivalentemente, generano energia elettrica), e bipoli *utilizzatori* che la sfruttano<sup>4</sup>. A prescindere dalla classe, la potenza elettrica che erogano/assorbono è data dal prodotto

$$P(t) = v(t)i(t) \quad (1.2)$$

in cui la potenza è assorbita se positiva, negativa se erogata.

Un circuito ha l'ovvia funzionalità ultima di trasformare segnali di ingresso in opportuni segnali di uscita. Si noti però che a livello elettrico, rispetto al livello logico, non vi è una chiara definizione di "direzione" dei segnali, in quanto tutte le grandezze in gioco (correnti e differenze di tensione) sono mutuamente influenzate fra loro. Qualora si voglia studiare il comportamento di un circuito al variare dei suoi ingressi, i bipoli generatori vengono utilizzati come ingressi mentre le uscite sono rappresentate dai valori di corrente e differenza di tensione di determinati bipoli utilizzatori. Qualora invece si voglia studiare il comportamento di un circuito al variare delle sue uscite, i bipoli generatori rappresentano le uscite mentre i bipoli utilizzatori forniscono i valori degli ingressi. La necessità di svolgere questo duplice tipo di analisi ha portato ad introdurre il concetto di *doppio bipolo elettrico*, mostrato in Fig. 1.2.

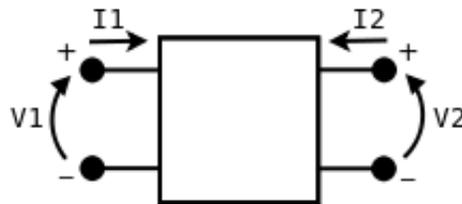


Figura 1.2: Un doppio bipolo elettrico generico.

Un doppio bipolo è un componente caratterizzato da 4 terminali, di cui due sono comuni, mentre la corrente che entra dal polo in un lato (destra o sinistra) detto "porta" è uguale alla corrente che esce dallo stesso lato. Questo significa che un doppio bipolo è descritto da due sole differenze di tensione  $v_1$  e  $v_2$ , nonché da due correnti  $i_1$  e  $i_2$ , tipicamente con convenzione entrante per entrambe le correnti. All'interno del doppio bipolo è possibile qualunque interconnessione di componenti più complessi. Questo modello, per quanto possa sembrare restrittivo, permette di descrivere agevolmente un circuito suddividendolo in *stadi*: gli stadi iniziale e finale rappresentano gli ingressi o le uscite del circuito e vengono descritti da bipoli generatori ed utilizzatori, mentre ogni stadio intermedio corrisponde ad un doppio bipolo.

### 1.1.1 Definizione di un circuito

Per costruire un circuito corretto è necessaria la presenza di almeno un bipolo generatore e di uno utilizzatore; in aggiunta, poiché la tensione è definita a meno di una costante, è necessario individuare un nodo che funge da *massa virtuale*. Nella pratica una massa virtuale è un nodo di

<sup>4</sup>Le modalità in cui è sfruttata diverranno chiare nella prossima Sezione.

cui garantiamo un valore di tensione indipendente dal comportamento del circuito; tale valore si pone usualmente pari a zero per praticità<sup>5</sup>. In Figura 1.3 vediamo un esempio di circuito generico,

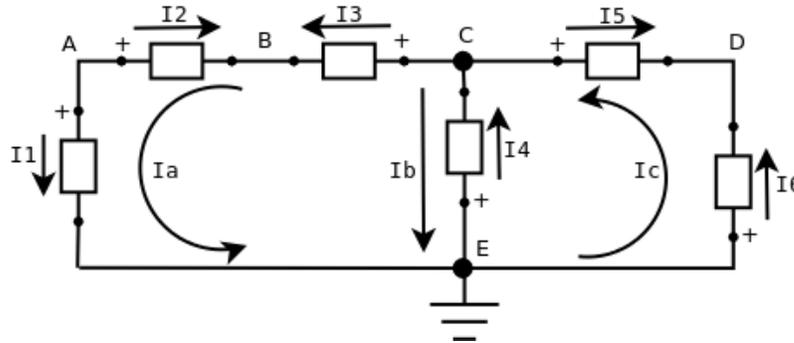


Figura 1.3: Un circuito generico in cui sono presenti generici bipoli ed il riferimento di massa.

in cui sono presenti

- 3 maglie<sup>6</sup>:  $X$ ,  $Y$  e  $Z$ ;
- 3 rami:  $a$ ,  $b$  e  $c$ ;
- 5 nodi:  $A$  fino ad  $E$ ;
- 6 bipoli: 1 fino a 6;
- la massa: applicata al nodo  $E$ .

I terminali dei bipoli sono contrassegnati da un cerchio piccolo, mentre per semplicità annotiamo solo il polo positivo. Infine assumiamo un verso per le correnti di ogni ramo  $a, b, c$ .

Si noti che l'orientamento dei bipoli in figura introduce una inconsistenza nei versi delle correnti: a prescindere dalla scelta del verso di  $i_a, i_c$  vi sarà sempre un bipolo che presenta corrente orientata in verso opposto alla corrente di ramo<sup>7</sup>. In generale questo non è un problema: la convenzione stabilisce unicamente come rapportare il verso di corrente e differenza di tensione per un dato bipolo; ciò che conta è che le correnti ai rami si conservino lungo il ramo stesso (vedere la prossima Sottosezione).

Come ultima osservazione, un nodo viene usualmente localizzato nell'intersezione fra più rami, come nel caso dei nodi  $C$  ed  $E$ ; quando invece un nodo è dato da un solo ramo<sup>8</sup>, il punto in cui viene localizzato è totalmente arbitrario. Va sottolineato in ogni caso come *qualunque* punto di interconnessione tra il nodo e i terminali adiacenti possieda la stessa tensione.

### 1.1.2 Risoluzione di un circuito

Per poter risolvere i valori di correnti e differenze di tensione in un circuito, è fondamentale introdurre le *Leggi di Kirchhoff*:

- **Legge delle correnti:** la somma delle correnti entranti/uscenti da un qualunque nodo è nulla<sup>9</sup>;

<sup>5</sup>Nel seguito chiameremo la massa virtuale semplicemente "massa". Si noti inoltre che la tensione in un punto rappresenta di fatto una differenza di tensione fra il punto stesso e la massa.

<sup>6</sup>Tre percorsi chiusi diversi, non mostrati in figura, a cui ci riferiamo con "X" per il percorso attraverso i rami  $a$  e  $b$ , "Y" per il percorso attraverso i rami  $b$  e  $c$ , e "Z" per il percorso attraverso i rami  $a$  e  $c$ .

<sup>7</sup>Mentre per il ramo  $b$ , essendo tutte le correnti di bipolo orientate nello stesso verso, sarebbe possibile invertire il verso  $i_b$  ed ottenere la consistenza desiderata.

<sup>8</sup>Il caso di due rami non è possibile, come si può facilmente verificare.

<sup>9</sup>Equivalentemente, la somma delle correnti entranti è uguale alla somma delle correnti uscenti.

- **Legge delle tensioni:** la somma delle differenze di tensione attraverso una qualunque maglia è nulla<sup>10</sup>.

Le leggi sopracitate richiedono, come mostrato in Fig. 1.3, che venga preventivamente assunto in modo arbitrario il verso delle correnti per ogni ramo. Il significato della legge delle correnti è che la carica elettrica non può disperdersi, bensì può solo transitare lungo il circuito. Il significato della legge delle tensioni invece è che va rispettata la conservazione dell'energia per un percorso chiuso<sup>11</sup>.

Proviamo ora ad applicare la legge delle correnti di Kirchhoff all'esempio di Fig. 1.3, limitandoci ai nodi che includono almeno 3 rami<sup>12</sup>:

- *Correnti al nodo C:*  $i_a + i_b - i_c = 0$
- *Correnti al nodo E:*  $-i_a - i_b + i_c = 0$

dove abbiamo assunto arbitrariamente che le correnti uscenti da un nodo sono positive e quelle entranti sono negative.

Per quanto riguarda la legge delle tensioni di Kirchhoff, valgono:

- *Tensioni alla maglia X:*  $v_1 - v_2 + v_3 + v_4 = 0$
- *Tensioni alla maglia Y:*  $-v_4 - v_5 + v_6 = 0$
- *Tensioni alla maglia Z:*  $v_1 - v_2 + v_3 - v_5 + v_6 = 0$

dove abbiamo assunto arbitrariamente un verso di percorrenza orario della maglia, nonchè che la differenza di tensione di un bipolo è positiva se percorriamo il bipolo dal polo negativo a quello positivo.

In aggiunta alle equazioni date dalle leggi di Kirchhoff, è necessario rispettare i vincoli di consistenza della corrente ai rami, ovvero nel nostro caso

$$\begin{aligned}
 i_1 &= i_a \\
 i_2 &= -i_a \\
 i_3 &= i_a \\
 i_4 &= -i_b \\
 i_5 &= -i_c \\
 i_6 &= i_c
 \end{aligned}
 \tag{1.3}$$

Infine la conoscenza delle equazioni caratteristiche che descrivono la dinamica dei bipoli  $f_n, n = 1, \dots, 6$ , unite a un insieme sufficiente di valori noti di correnti e differenze di tensione, consente la risoluzione del circuito<sup>13</sup>.

Nelle prossime due Sezioni andremo a trattare i bipoli più comuni all'interno di un circuito e forniremo le loro equazioni caratteristiche.

## 1.2 Bipoli generatori

Distinguiamo principalmente due tipi di generatori: di tensione e di corrente, mostrati rispettivamente in Fig. 1.4(a) e Fig. 1.4(b) relativamente al caso di ingressi continui.

<sup>10</sup>Equivalentemente, preso un verso di percorrenza della maglia, la somma delle differenze di potenziale dei bipoli aventi polo positivo entrante è uguale alla somma delle differenze di potenziale dei bipoli aventi polo positivo uscente.

<sup>11</sup>Da qui la possibilità di definire un potenziale elettrico e conseguentemente una tensione, che è semplicemente il potenziale diviso la carica elementare di un elettrone.

<sup>12</sup>In quanto per i nodi che includono un solo ramo la relazione delle correnti è banale.

<sup>13</sup>Il metodo di risoluzione non verrà discusso in quanto non essenziale per la comprensione dell'attività di laboratorio.

Un generatore di tensione impone fra i suoi capi una differenza di tensione fissa

$$v(t) = V \quad (1.4)$$

Tale comportamento può essere interpretato come un *elevamento* della tensione fra il suo polo negativo e quello positivo. Sfruttando un analogo idrodinamico, possiamo ritrovare la legge di Kirchhoff delle tensioni nel seguente comportamento: una pompa in un circuito idrico sposta una massa d'acqua da una altitudine  $A$  ad una maggiore  $B$ , dalla quale l'acqua è nuovamente in grado di scendere lungo un percorso per tornare nel punto d'origine  $A$  ed essere elevata nuovamente. Qualora considerassimo un circuito idrico a "parametri distribuiti", significherebbe che l'acqua scende lungo un percorso in pendenza privo di cadute repentine, mentre un circuito idrico a parametri concentrati assume che il percorso sia caratterizzato da tratti orizzontali intervallati da cadute verticali. Ritornando al caso elettrico, intuiamo che nel caso di una singola maglia con un singolo generatore di tensione la corrente esce dal polo positivo e dunque ha segno *negativo*<sup>14</sup>.

Un generatore di corrente invece impone sul suo ramo una corrente fissa

$$i(t) = I \quad (1.5)$$

Nell'analogo idrodinamico, ritroviamo la legge di Kirchhoff delle correnti nel seguente comportamento: la pompa mantiene una determinata portata d'acqua (ossia il prodotto della velocità del liquido per l'area della sezione del mezzo in cui si muove), la velocità nel circuito idrico può variare a causa di restringimenti o divisioni del mezzo, ma la portata si conserva complessivamente nel circuito. La differenza di tensione per un solo generatore di corrente in un circuito avente una sola maglia ha segno *negativo*<sup>15</sup>.

Da un punto di vista prettamente elettrico, entrambi i generatori forniscono l'energia necessaria ad un circuito per presentare valori non nulli di corrente sui rami e differenze di tensione ai capi dei componenti.



(a) Generatore di tensione

(b) Generatore di corrente

Figura 1.4: Generatore di tensione e generatore di corrente.

## 1.3 Bipoli utilizzatori

Nella Sezione precedente abbiamo accennato al fatto che un bipolo utilizzatore sfrutta l'energia elettrica fornita da un generatore. In particolare distinguiamo fra bipoli *passivi* quali il *resistore*, che effettivamente dissipa energia elettrica, e bipoli *reattivi*, quali il *condensatore* e l'*induttore*, che assorbono energia elettrica per poi eventualmente erogare in seguito. Ciò che accomuna i bipoli passivi e reattivi è l'impossibilità di produrre autonomamente energia elettrica, competenza riservata ai bipoli generatori.

Lo studio di resistore, condensatore ed induttore è fondamentale per la comprensione di generici dispositivi elettronici, poichè gli effetti elettrici introdotti da un generico componente possono essere descritti come combinazione degli effetti introdotti dai 3 bipoli sopracitati.

In particolare, i bipoli che introdurremo in questa Sezione sono di tipo:

<sup>14</sup>Ritornaremo su questo aspetto nell'Esercizio 1.

<sup>15</sup>Ritornaremo su questo aspetto nell'Esercizio 2.

- *lineare*, in quanto le equazioni differenziali che li caratterizzano sono lineari<sup>16</sup>;
- *simmetrico*, in quanto il verso in cui vengono inseriti nel circuito non influenza il comportamento del circuito stesso.

mentre per esempio nel prossimo Capitolo discuteremo del *diodo*, che rappresenta un tipico bipolo non-lineare e asimmetrico.

### 1.3.1 Il resistore

Il resistore costituisce il bipolo più comunemente presente in un circuito, in quanto rappresenta l'effetto di una perdita di energia elettrica da parte di un conduttore non ideale. La sua grandezza caratteristica è la resistenza, misurata in Ohm ( $\Omega$ ). Ogni ramo di un circuito presenta inevitabilmente una resistenza proporzionale alla sua lunghezza; nell'assunzione di parametri concentrati noi utilizzeremo dei bipoli resistori per indicare la presenza di tali effetti resistivi.



Figura 1.5: Un bipolo resistore.

L'equazione caratteristica di un resistore, detta Legge di Ohm, è data da

$$v(t) = R i(t) \quad (1.6)$$

dove  $R$  è il valore della resistenza del bipolo resistore. L'Eq. (1.6) stabilisce che la caduta di tensione ai capi di un resistore è proporzionale alla corrente che l'attraversa, crescente al crescere del valore di  $R$ .

La potenza assorbita (e dissipata) da un resistore inoltre è data dalla seguente espressione:

$$P_R(t) = R i^2(t) = \frac{v^2(t)}{R} \quad (1.7)$$

#### Esercizio 1: Maglia resistiva con generatore di tensione

Ora che conosciamo il comportamento dei generatori e dei resistori, siamo finalmente in grado di utilizzare Micro-Cap per costruire il nostro primo circuito funzionante. In questo esempio, per semplicità, il circuito presenterà una sola maglia e verrà costruito utilizzando un solo generatore di tensione ed una sola resistenza. Per questo circuito effettueremo una analisi DC (ovvero in continua).

Per cominciare, creiamo un nuovo file (**File|New**) chiamato `magliaresistivatensione.CIR`.

Il primo passo è introdurre un bipolo generatore di tensione dalla lista di componenti a disposizione, presente nella regione in basso a sinistra. Scegliamolo dalle primitive<sup>17</sup> analogiche, generatori di forme d'onde (**Analog Primitives|Waveform Sources|Voltage Source**). Una volta selezionato, viene visualizzato nell'area **Browse** soprastante, mentre cliccando all'interno della pagina **Main** è possibile istanziarlo nello spazio di lavoro: compare una finestra con tutti i parametri disponibili per caratterizzare il bipolo. Ora

<sup>16</sup>Si noti che esistono modelli non-lineari degli stessi componenti, che però per semplicità non tratteremo.

<sup>17</sup>Ovvero i componenti astratti generici, non riconducibili ad un design particolare (in quel caso si parla di componenti di *libreria*).

definiamo il valore della differenza di tensione fornita dal generatore nel campo DC sotto la scheda **None** in basso. Si noti che poichè siamo interessati all'analisi DC, in cui definiremo specificamente un intervallo di valori per l'ingresso (ossia il generatore), possiamo mettere qualunque valore di tensione. Comunque sia scegliamo 10, dove l'unità del Volt è implicita<sup>18</sup>. Diamo invio per accettare le modifiche e completare l'istanziamento.

Ora aggiungiamo un bipolo resistore (**Analog Primitives|Passive Components|Resistor**) posizionandolo a destra del generatore e impostiamo il parametro **Resistance** a 5, dopodichè diamo l'invio per istanziarlo. E' possibile trascinare col mouse i componenti per allinearli o distanziarli opportunamente. Si noti che il valore della resistenza è annotato vicino al componente; è possibile spostare le etichette del nome e del valore, nonchè modificarne il valore direttamente sullo schema del circuito.

A questo punto dobbiamo creare una maglia con questi due componenti mediante la creazione di interconnessioni fra i loro poli: per fare ciò entriamo in Wire Mode (**CTRL+W** oppure il quarto tasto della toolbar direttamente sopra l'area delle pagine) per poter introdurre dei fili di interconnessione. Per collegare due terminali in Wire Mode è necessario cliccare il punto di "origine" del filo e rilasciare nel punto di "destinazione". Clicchiamo dunque tra il polo superiore del generatore e il polo superiore del resistore (o viceversa), per poi fare la stessa cosa fra i poli inferiori.

Per finire è necessario introdurre un nodo di massa: scegliamo il componente massa (**Analog Components|Connectors|Ground**) ed istanziamolo nel circuito (nessun parametro richiesto). Ricordiamo che possiamo interconnetterlo in un punto arbitrario: la differenza consiste nel fatto che se lo connettiamo al filo superiore i terminali del generatore avranno tensioni 0 V e -10 V (rispettivamente al terminale superiore ed inferiore), se invece lo connettiamo al filo inferiore le tensioni saranno 10 V e 0 V; scegliamo il secondo caso poichè è più intuitivo. Per questioni prettamente pratiche, ruotiamo il componente istanziato tramite il tasto Rotate della toolbar (**CTRL+R**) fino ad avere il suo unico polo rivolto verso l'alto. Infine trasciniamo il componente fino a far combaciare il suo polo con un punto arbitrario dell'interconnessione inferiore: vediamo che nel punto di contatto si crea un cerchio rosso, il quale indica la presenza di un nodo a più rami. A tale proposito, abilitiamo la voce **Options|View|Node Numbers** per visualizzare i numeri dei nodi, dove il nodo di massa è il nodo 0 e non viene visualizzato.

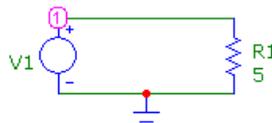


Figura 1.6: Un circuito elementare resistivo con generatore di tensione.

Il circuito, mostrato in Fig. 1.6, è pronto e dunque siamo in grado di effettuare una analisi DC su di esso: dal menu scegliamo **Analysis|DC**. Si aprirà la finestra **DC Analysis Limits** che permette di definire quale segnale deve essere variato in ampiezza e quali segnali vogliamo osservare in uscita. Di base il segnale da variare (presente nell'area **Sweep**) è il generatore V1, con un intervallo compreso tra 0 V e il valore nominale da noi scelto per il componente, ossia 10 V. Come variabili da osservare vi è solo v(1), ovvero la tensione al nodo 1 (che corrisponde alla differenza di tensione ai capi sia del generatore che del resistore). Per ora accontentiamoci di questa configurazione e premiamo il pulsante **Run** per avviare l'analisi. Si noti che è possibile alterare il circuito senza

<sup>18</sup>Tutte le comuni sotto/sopra-unità sono utilizzabili aggiungendo il carattere identificativo della sotto/sopra-unità, p.e. 3u rappresenta 3 micro, 1.2M o 1.2m rappresenta 1.2 milli, .5Meg rappresenta 0.5 Mega, dove l'unità di misura è implicita e dipende dalla grandezza interessata.

dover eseguire nuovamente l'analisi, in quanto quest'ultima viene mantenuta aggiornata a fronte di qualunque modifica. Il risultato dell'analisi è un grafico dove in ascissa è presente il segnale variato ed in ordinata  $v(1)$ ; per ovvie ragioni i segnali sono uguali e dunque questo grafico non ci fornisce informazioni molto utili: miglioriamone quindi l'analisi aggiungendo l'osservazione della corrente del componente R1.

Per fare ciò torniamo alla configurazione dell'analisi utilizzando il menu della pagina **DC Analysis** e scegliendo **DC|Limits**. Inseriamo gli opportuni campi nella riga sotto quella relativa a  $v(1)$  (utilizzando i pulsanti **Add/Remove** per aggiungere/togliere righe): sotto la colonna **P** ("gruppo") scegliamo **1**, in maniera tale da visualizzare il nuovo segnale nello stesso grafico di  $v(1)$ ; sotto **X Expression** utilizziamo ancora **DCINPUT1**, ovvero il segnale di ingresso variato scelto; sotto **Y Expression** invece usiamo **i(R1)** (per le correnti va specificato il bipolo invece del nodo). Come **X Range** usiamo gli stessi valori di  $v(1)$ , espressi nella forma **<Massimo>**, **<Minimo>**, **<Passo>**; infine per **Y Range** per il momento scegliamo **Auto** dal menu a tendina che otteniamo cliccando su **Y Range** stesso: questo ci permette di automatizzare la visualizzazione in funzione dei valori assunti<sup>19</sup>. Premiamo nuovamente **Run** e notiamo che la corrente assume valori negativi, il che non ci dice nulla sul verso della corrente se non sappiamo qual è il polo positivo: per visualizzare i nomi dei poli, anzitutto facciamo doppio click sul resistore, dopodichè selezioniamo sotto la regione **Display** il campo **Pin Names**. Diamo invio e vediamo comparire il **Plus** e **Minus**, in particolare con il **Plus** in basso: questo significa che la corrente è supposta diretta dal basso verso l'alto; ma dato che il valore ottenuto dall'analisi è negativo, la corrente scorrerà dall'alto verso il basso. Ricordando la discussione della precedente Sezione relativa ai circuiti idrici, il risultato ci conferma che la corrente che attraverso il generatore di tensione esce dal polo positivo<sup>20</sup>. Per sistemare il circuito e rendere più intuitivi i risultati dell'analisi, provvediamo a spostare fuori dal circuito il resistore, dopodichè lo ruotiamo di 180 gradi e lo inseriamo nuovamente nel circuito. A questo punto ripetiamo l'analisi, con l'unica differenza di scegliere come **Y Range** di **i(R1)** lo stesso intervallo usato per  $v(1)$  (di modo da visualizzare correttamente i risultati): in questo caso vediamo che la corrente è finalmente positiva.

Il suo valore *nominale*<sup>21</sup> usando l'Eq. (1.6) è pari al rapporto fra la tensione ai capi del resistore, che è identica a quella ai capi del generatore, e la resistenza, dunque per  $V1 = 10\text{ V}$  vale  $i(R1) = 10\text{ V}/5\ \Omega = 2\text{ A}$  (Ampere). Per osservare meglio dal punto di vista grafico tale valore, è consigliabile tarare il passo di **Y Range**, per esempio scegliendolo pari a 2, ottenendo la Fig. 1.7 come risultato finale.

Una alternativa rapida all'analisi grafica è la pagina **Watch**, richiamabile durante un'analisi DC tramite il menu **DC|Watch**, in cui è possibile inserire espressioni algebriche che coinvolgono correnti e tensioni al fine di ricavare valori numerici. In questo caso tuttavia viene assunto il valore massimo degli ingressi e dunque non è possibile operare con gli interi intervalli; si noti che i risultati nella pagina **Watch** vengono automaticamente aggiornati ogni volta che si modifica il circuito e si ripete l'analisi.

Come esempio, proviamo a calcolare la corrente che attraversa il generatore di tensione **i(V1)**: clicchiamo nello spazio sotto la colonna **Expr** e scriviamo **i(V1)**, ottenendo sotto la colonna **Value** il valore **-2**, negativo in quanto il verso orario della corrente della maglia fa sì che la corrente del generatore esca dal polo positivo.

<sup>19</sup>L'opzione **Auto** viene convertita in un intervallo non appena viene eseguita l'analisi. Questo significa che ad ogni modifica del circuito è necessario inserire nuovamente **Auto** nel range desiderato. Scegliendo **AutoAlways** è invece possibile mantenere permanentemente l'opzione automatica.

<sup>20</sup>Questo ragionamento vale per un singolo generatore: per esempio, nel caso di due generatori sullo stesso ramo orientati in verso opposto, il verso della corrente dipende dal generatore che fornisce maggiore differenza di potenziale.

<sup>21</sup>Per valore nominale intendiamo il valore rispetto agli ingressi nominali del circuito, in contrasto con l'intervallo di valori che risulta nell'analisi DC a causa dell'intervallo di ingressi.

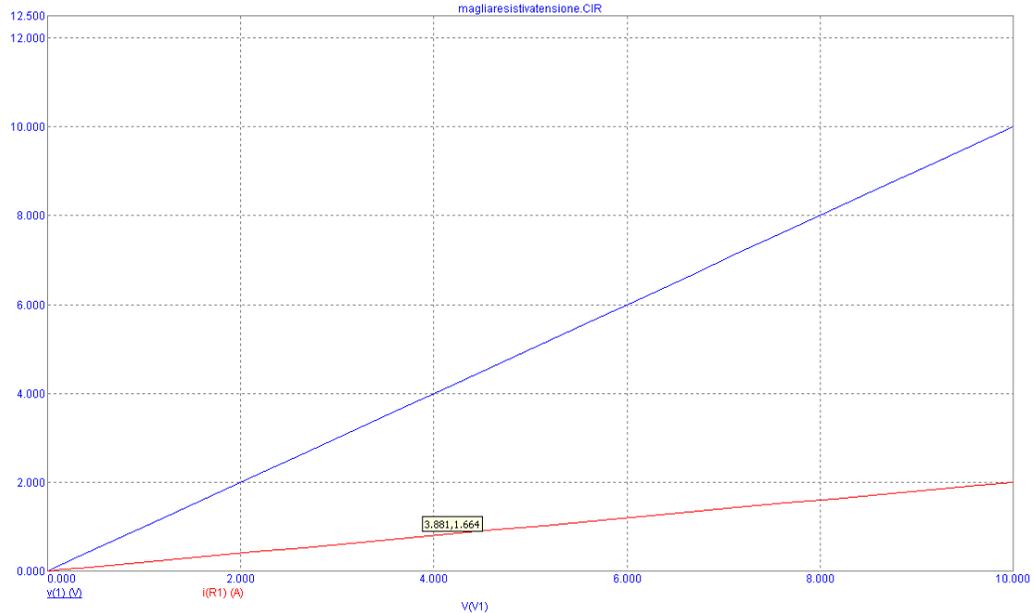


Figura 1.7: Risultato dell'analisi DC del circuito di Fig. 1.6 relativo ad una maglia resistiva con generatore di tensione.

### Esercizio 2: Maglia resistiva con generatore di corrente

In questo esercizio verificheremo il funzionamento di un circuito alimentato da un generatore di corrente. In particolare, è interessante verificare che se utilizziamo un generatore che eroga corrente di valore pari a quello ricavato nell'Es. 1, allora i segnali osservati  $v(1)$ ,  $i(R1)$  hanno lo stesso andamento.

Come primo passo salviamo il precedente file `magliaresistivatensione.CIR` con nuovo nome `magliaresistivacorrente.CIR`. Dopodichè rimuoviamo il generatore di tensione ed istanziamo quello di corrente (`Analog Primitives|Waveform Sources|Current Source`), scegliendo questa volta un valore DC pari a 2. Ruotiamo di 180 gradi il componente, in maniera tale che il verso della corrente del generatore (esplicitato dalla freccia nel componente) sia compatibile con il senso orario che avevamo riscontrato per la corrente nella maglia dell'Es. 1; inseriamo infine il componente nello stesso punto del precedente generatore di tensione, ottenendo il circuito di Fig. 1.8.

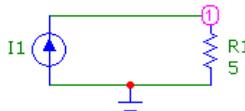


Figura 1.8: Un circuito elementare resistivo con generatore di corrente.

Impostiamo ora l'analisi DC: anzitutto dobbiamo modificare la sorgente di segnale, selezionando `I1` per il campo `Name` della prima variabile nella regione `Sweep`; modifichiamo inoltre il suo `Range` con `2,0,.1`, ovvero fra 0 e 2 con passo di 0.4. Copiamo tale range anche nell'`X Range` dei due segnali osservati  $v(1)$  e  $i(R1)$ , dopodichè facciamo partire l'analisi. Come vediamo dal risultato, mostrato in Fig. 1.9, i valori dei segnali

sono equivalenti a quelli presenti in Fig. 1.7, dove ovviamente il segnale di ingresso è differente.

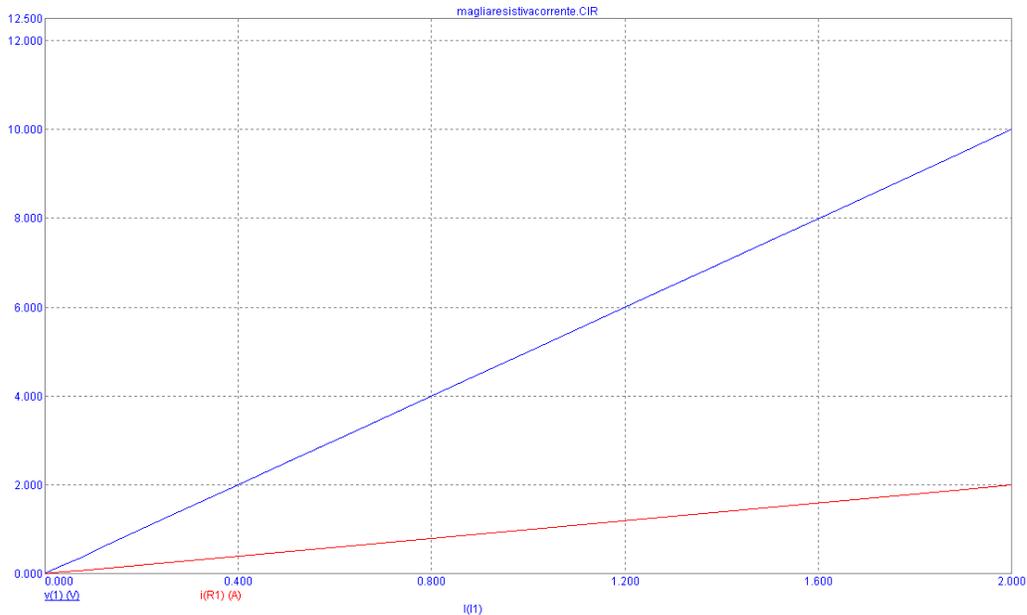


Figura 1.9: Risultato dell'analisi DC del circuito di Fig. 1.8 relativo ad una maglia resistiva con generatore di corrente.

Una ulteriore opzione per una analisi in continua è la **Analysis|Dynamic DC**, che è una analisi DC “pura” nel senso che osserviamo le grandezze risultanti dai valori nominali degli ingressi esplicitati nelle proprietà dei generatori. Se lanciamo una Dynamic DC, notiamo che ci viene unicamente richiesta una temperatura, che accettiamo nel suo valore predefinito. A questo punto possiamo visualizzare tutte le grandezze della rete, abilitando le relative opzioni di visualizzazione che troviamo a destra del pulsante relativo ai numeri dei nodi. E' possibile visualizzare alternativamente o contemporaneamente tensioni, correnti nonché potenze. Generalmente non useremo la Dynamic DC in quanto, sebbene fornisca tutte le grandezze del circuito, si limita a calcolarle per un unico specifico valore di ogni ingresso.

Cosa accade quando abbiamo più resistori in un circuito? Fortunatamente è possibile ricavare con facilità alcune proprietà relative alla composizione di più resistori. Infatti, poichè  $N$  resistori in *serie* per costruzione condividono la stessa corrente, utilizzando l'Eq. (1.6) si ottiene

$$R_{ser} = \sum_{n=1}^N R_n \quad (1.8)$$

dove  $R_{ser}$  è la resistenza equivalente di un resistore che sostituisce la serie degli  $N$  resistori, con la proprietà di presentare stessa differenza di tensione ai capi della serie  $v_{ser}$  e stessa corrente  $i_{ser}$ . D'altro canto, poichè  $N$  resistori in *parallelo* per costruzione condividono la stessa differenza di tensione, si ottiene

$$\frac{1}{R_{par}} = \sum_{n=1}^N \frac{1}{R_n} \quad (1.9)$$

dove  $R_{par}$  è la resistenza di un resistore che sostituisce il parallelo degli  $N$  resistori, sempre presentando stessa differenza di tensione  $v_{par}$  e stessa corrente totale  $i_{par}$ .

Le regole sopracitate consentono, alla rovescia, di determinare la differenza di tensione ai capi di un resistore appartenente ad una serie, oppure la corrente che attraversa un resistore appartenente ad un parallelo. Tali regole sono dette del *partitore resistivo di tensione/corrente*:

$$v_n = \frac{R_n}{R_{ser}} v_{ser} \quad (1.10)$$

$$i_n = \frac{R_{par}}{R_n} i_{par} \quad (1.11)$$

Intuitivamente, l'Eq. 1.10 ci dice che in una serie di resistori la maggiore caduta di tensione si ha sul componente che ha la maggiore resistenza; l'Eq. 1.11 invece ci dice che la corrente che attraversa un parallelo di resistori tende a scorrere maggiormente sul ramo a minore resistenza.

### Esercizio 3: Resistori in serie o parallelo

Estendiamo i risultati ottenuti nell'Es. 1 introducendo una serie oppure un parallelo di resistori. Anzitutto apriamo il file `magliaresistivatensione.CIR` e lo salviamo con nuovo nome `resistoriserie.CIR`. Ora rimuoviamo l'interconnessione superiore e istanziamo un nuovo resistore R2 a cui diamo resistenza pari a 15. Ruotiamo il componente in orizzontale, controllando che il polo positivo sia a sinistra, dopodichè colleghiamo direttamente il polo destro di R2 al polo superiore di R1. Si noti come durante queste operazioni i numeri dei nodi vengano continuamente aggiornati. Infine inseriamo un filo che collega il polo sinistro di R2 al polo superiore di V1. A questo punto otteniamo il circuito di Fig. 1.10, in cui sono presenti 3 nodi inclusa la massa.

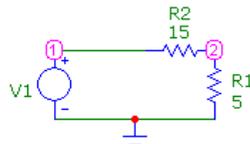


Figura 1.10: Un circuito elementare resistivo con due resistenze in serie.

Nell'analisi di questo circuito quindi può essere interessante osservare anche la tensione al nodo 2: aggiungiamola copiando i campi relativi a  $v(1)$  ma utilizzando ovviamente  $v(2)$  come Y **Expression**. Il risultato della simulazione ci mostra valori piuttosto bassi per  $i(R1)$  e  $v(2)$ , con conseguente riduzione della leggibilità. Per migliorare l'analisi grafica mostriamo  $v(1)$  in un'altro gruppo scegliendo sotto P un numero diverso da 1 (se scegliamo 0, in particolare, il segnale non viene visualizzato) dopodichè usiamo 4, 0, . 5 come Y **Range** dei segnali restanti.

Osserviamo dal risultato di Fig. 1.11 che la corrente nominale della maglia si è ridotta fino a 0.5 A, ovvero la stessa corrente  $V1/R_{ser}$  che avremmo in presenza di un unico resistore  $R_{ser}$  avente secondo l'Eq. (1.8) resistenza pari alla somma delle due resistenze (20  $\Omega$ ). La regola di partitore di tensione data dall'Eq. (1.10) inoltre ci dice che la tensione ai capi di R1 è proporzionale alla sua resistenza rispetto alla resistenza totale moltiplicata per la tensione ai capi della serie di resistori, nel nostro caso  $\frac{5\Omega}{20\Omega} 10 V = 2.5 V$ .

Ora provvediamo a verificare il comportamento di resistori in parallelo. Anzitutto carichiamo il file `magliaresistivatensione.CIR` e lo salviamo con nuovo nome

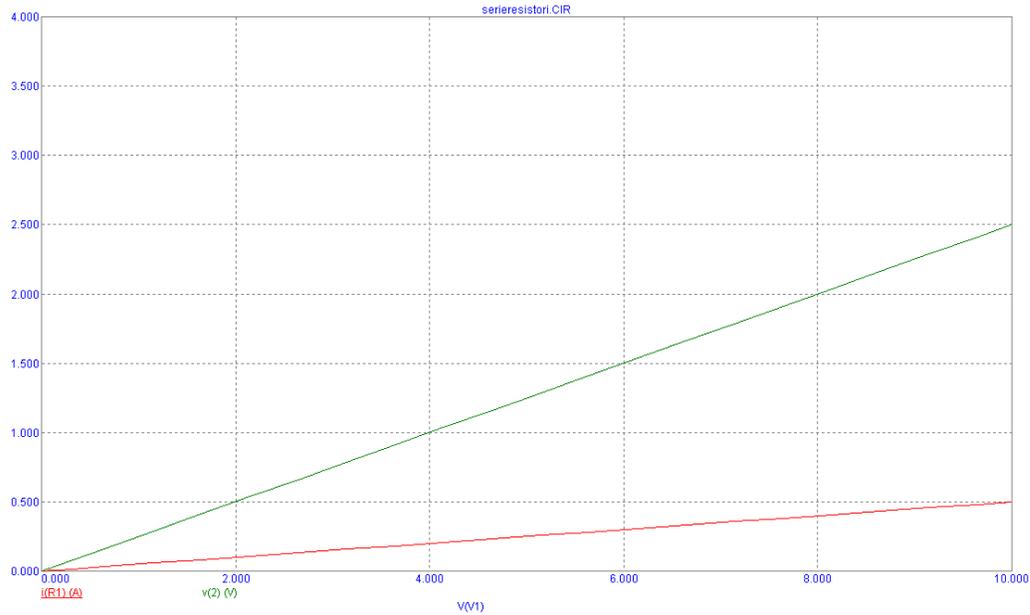


Figura 1.11: Risultato dell'analisi DC del circuito di Fig. 1.10 relativo a resistenze in serie.

resistoriparallelo.CIR. Dopodichè istanziamo un nuovo resistore R2 con resistenza pari a  $20 \Omega$ . Assicurandoci che il polo superiore sia positivo, inseriamo R2 a sinistra di R1, ottenendo il circuito mostrato in Fig. 1.12. Si noti come in questo caso vi siano solamente due nodi, mentre esistano tre rami.

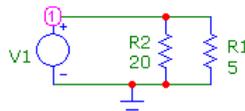


Figura 1.12: Un circuito elementare resistivo con due resistenze in parallelo.

Per analizzare il circuito escludiamo nuovamente  $v(1)$  in quanto poco interessante e introduciamo  $i(R2)$ ; modifichiamo **Y Range** a  $3,0,.5$  per verificare meglio i valori ottenuti. Vediamo dalla Fig. 1.13 che  $i(R1)$  è 4 volte  $i(R2)$ , in conformità all'Eq. (1.11) del partitore di corrente per la quale la corrente in un parallelo si divide in modo inversamente proporzionale ai valori delle resistenze.

Naturalmente la corrente su V1 è pari alla somma delle correnti sulle resistenze è dunque pari a  $2.5 \text{ A}$ , risultato ottenibile anche calcolando  $V1/R_{par}$ , dove usando l'Eq. (1.9) si ha  $R_{par} = 4\Omega$  nel nostro caso.

Infine non verrà effettuata la trattazione dei circuiti resistivi serie/parallelo in presenza di un generatore di corrente, in quanto (come verificato nell'Es. 2) i risultati sono equivalenti se si sostituisce il generatore di tensione con un generatore di corrente che presenta stessa corrente di ramo.

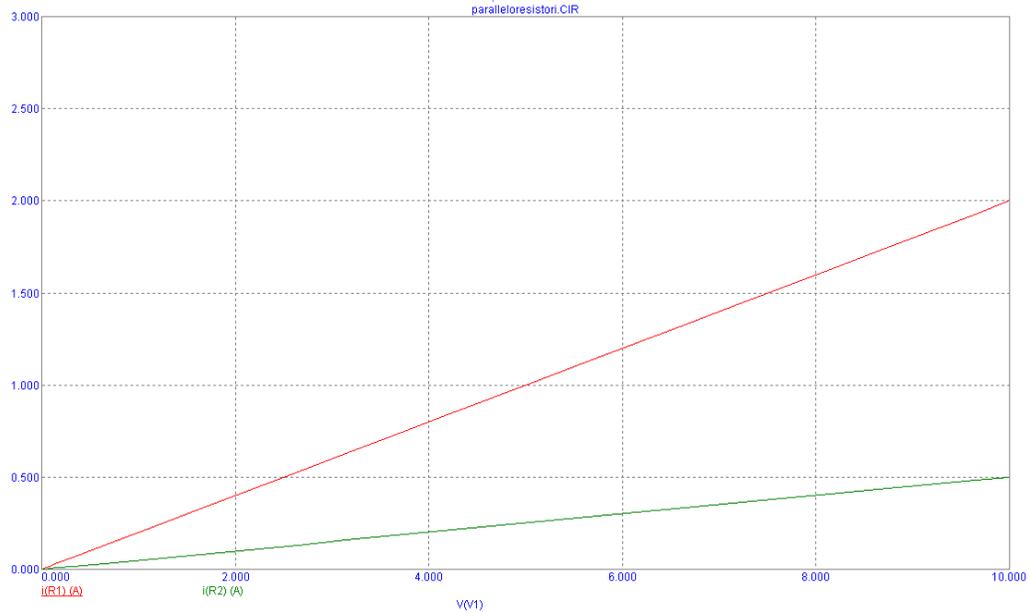


Figura 1.13: Risultato dell'analisi DC del circuito di Fig. 1.12 relativo a resistenze in parallelo.

### 1.3.2 Il condensatore

Il condensatore, mostrato in Fig. 1.14, è un componente circuitale fondamentale qualora si consideri la risposta di un circuito ad una variazione di differenza di tensione. Infatti, l'equazione caratteristica del condensatore è data da:

$$i(t) = C v'(t) \quad (1.12)$$



Figura 1.14: Un bipolo condensatore.

A differenza del caso del resistore, in Eq. (1.12) vediamo che la corrente che attraversa il bipolo è proporzionale alla variazione della differenza di tensione ai suoi capi, secondo una costante  $C$  chiamata *capacità* del condensatore, espressa in Farad (F). In altri termini, data una variazione di tensione, a capacità maggiore corrisponde corrente maggiore.

In particolare, si può facilmente dedurre che in condizioni stazionarie, per le quali non vi è variazione di tensione, la corrente che attraversa un condensatore è nulla e dunque esso si comporta come un *lato aperto virtuale*, dove per lato aperto intendiamo la regione priva di conduttori fra due nodi. Un lato aperto, in generale, può infatti essere individuato a partire da qualunque coppia di nodi di un circuito, anche qualora esista da qualche parte un percorso conduttivo fra essi. Di fatto, in presenza di un componente che funge da lato aperto, è possibile studiare il circuito assumendo che il componente stesso venga fisicamente rimosso.

Un'altra differenza rispetto al resistore è data dal fatto che un condensatore non dissipa potenza ma solamente “trattiene” energia data dall'espressione

$$E_C(t) = \frac{1}{2} C v^2(t) \quad (1.13)$$

Questo significa che un condensatore è “scarico” nel momento in cui non vi è differenza di tensione ai suoi capi, mentre è completamente “carico” quando non è attraversato da corrente. Il ruolo di questa energia sarà maggiormente chiaro nella prossima Sezione. Si noti che continua a valere l'espressione della potenza data dall'Eq. (1.2), la quale tuttavia istantaneamente può essere positiva o negativa in base al fatto che il condensatore stia erogando o assorbendo potenza elettrica.

Dal punto di vista fisico, un condensatore rappresenta un “accoppiamento” fra due conduttori posti a distanza ravvicinata: in poche parole, fra due conduttori (aventi diversa tensione) si crea un campo elettrico il quale si oppone alla variazione di tensione fra i due conduttori. Questo significa che un effetto capacitivo è riscontrabile in una certa misura in qualunque circuito elettrico dove siano presenti cariche mobili di segno opposto separate da materiali isolanti, in particolare in fili di interconnessione paralleli ravvicinati. Come si può intuire, lo studio di un circuito reale diventa dunque estremamente complesso qualora si voglia tener conto di tutti i possibili effetti capacitivi fra conduttori.

#### Esercizio 4: Carica/scarica di un condensatore

In questo esercizio prenderemo in considerazione un cosiddetto *circuito RC-serie*, ovvero caratterizzato da un resistore ed un condensatore in serie.

Come prima cosa carichiamo nuovamente il file `magliaresistivatensione.CIR` e salviamolo con nome `resistorecondensatore.CIR`. Dopodichè eliminiamo l'interconnessione superiore, ruotiamo R1 in orizzontale e lo colleghiamo al polo superiore di V1. Ora introduciamo il componente condensatore (`Analog Primitives|Passive Components|Capacitor`) e come capacità scegliamo `10n`, ovvero  $10\text{ nF}$ . Assicurandoci che il polo positivo del condensatore C1 sia in alto, colleghiamo il polo negativo all'interconnessione inferiore, dopodichè con un filo colleghiamo il polo superiore di C1 al polo destro di R1. Otteniamo così il circuito di Fig. 1.15, avente 3 nodi.

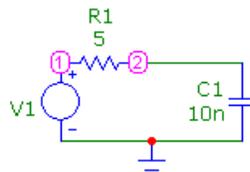


Figura 1.15: Un circuito elementare resistivo-capacitivo.

Ora effettuiamo una analisi DC, in cui aggiungiamo l'osservazione di  $v(2)$ : dal risultato dell'analisi vediamo che la corrente è nulla mentre  $v(2)$  è pari a  $v(1)$ . Questi valori sono compatibili con la discussione precedente: in continua, in cui le derivate delle tensioni sono nulle, data l'Eq. 1.12 la corrente del condensatore è pari a zero; ne consegue che il condensatore si comporta come un lato aperto, mentre non vi è caduta di tensione ai capi del resistore. In altre parole il circuito si comporta come se il condensatore non sia presente, con la conseguenza che non esiste alcuna maglia che consenta la presenza di una corrente.

A questo punto spostiamoci all'analisi in transitorio, in cui definiamo una variazione nel tempo della tensione fornita dal generatore. In particolare, andiamo nelle proprietà

di V1 e spostiamoci dalla scheda **None** a quella **Pulse**, che permette di definire un andamento impulsivo del segnale; come unica modifica ai valori predefiniti, impostiamo a zero i campi relativi a **TR** (il tempo di salita) e **TF** (il tempo di discesa). Dopo queste modifiche, abbiamo che V1 inizia a 0 V, dopo un ritardo iniziale **TD** di 100 ns sale istantaneamente a 5 V, dopodichè passato un **PW** di 400 ns scende istantaneamente a 0 V, ripetendo la salita nel momento in cui è passato un periodo **PER** di 1 µs dalla precedente salita (realizzando così un segnale periodico). Scegliamo l'analisi di tipo **Transient**, questa volta, ed utilizziamo come segnali v(1), v(2) e i(R1); in particolare, per i(R1) immettiamo in **Y Range** i valori 1, -1, .5 mentre per gli altri segnali utilizziamo il passo .5. Il **Time Range** ha valore predefinito pari a **PER**, il che significa che nel caso in cui **TD** sia nullo siamo in grado di visualizzare un intero periodo del segnale di ingresso.

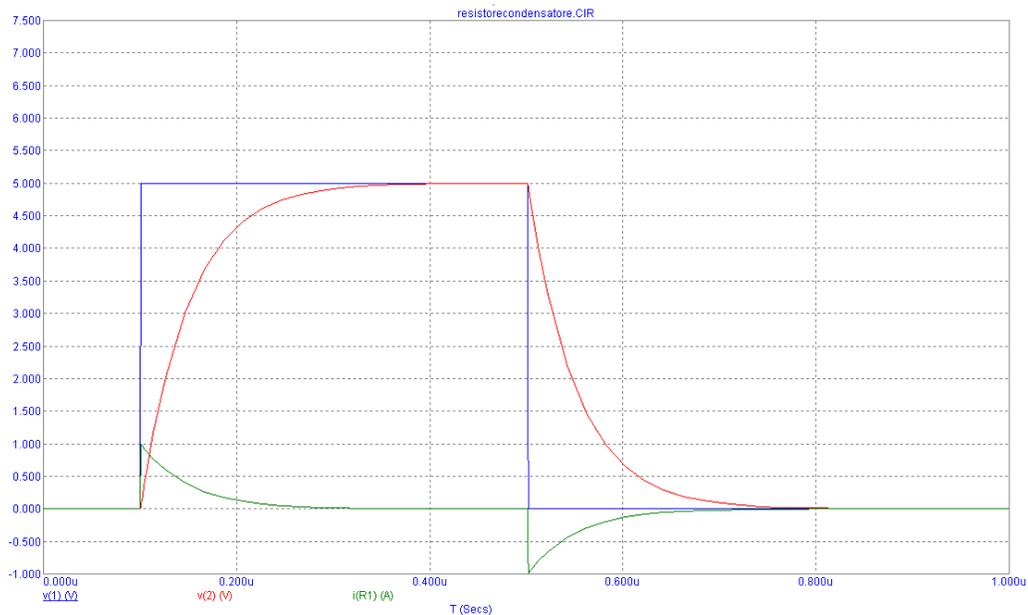


Figura 1.16: Risultato dell'analisi Transient del circuito di Fig. 1.15 relativo ad una serie di resistore e condensatore.

Come è possibile vedere dalla Fig. 1.16, la tensione v(2), corrispondente alla tensione ai capi del condensatore, non segue istantaneamente v(1) quando questa passa da 0 V a 5 V, bensì la raggiunge precisamente dopo un tempo infinito<sup>22</sup>. La corrente i(R1) al contrario sale istantaneamente al valore per v(1) pari a 5 V, ovvero  $5\text{ V}/5\ \Omega = 1\text{ A}$ , dopodichè essa cala gradualmente secondo l'Eq. 1.12 a causa della riduzione della variazione di tensione ai capi del condensatore. Un istante prima del tempo  $T = 500\text{ ns}$  il condensatore è quasi completamente carico ed il circuito è pressochè “a regime”, ossia con un comportamento analogo a quello riscontrato nell'analisi DC in cui le due tensioni sono uguali e la corrente è nulla. A  $T = 500\text{ ns}$  la tensione ritorna istantaneamente a zero ed abbiamo il comportamento opposto: v(2) inizia a scaricarsi mentre la corrente passa istantaneamente ad un valore uguale in modulo al caso della salita, ma opposta in segno, che si riduce gradualmente fino a raggiungere zero.

Possiamo anche valutare la potenza erogata e assorbita dai vari bipoli: per fare questo, torniamo in **Transient Analysis Limits** e togliamo la visualizzazione di v(2) per inserire quella di v(V1)\*i(V1), v(R1)\*i(R1) e v(C1)\*i(C1), con **Y Range** pari

<sup>22</sup>Il motivo è l'andamento esponenziale dovuto alla risoluzione dell'equazione differenziale di primo grado che caratterizza il circuito.

a 6,-6,1. In alternativa, possiamo aggiungere le espressioni relative alla potenza e associarle ad un valore di gruppo P diverso (per esempio pari a 2), dopodichè possiamo visualizzare i risultati di Fig. 1.16 assieme a quelli dell'analisi di potenza; se preferiamo una visualizzazione su più pagine, invece di specificare un diverso gruppo possiamo introdurre sotto la colonna **Page** un nome diverso per i segnali relativi alle due analisi.

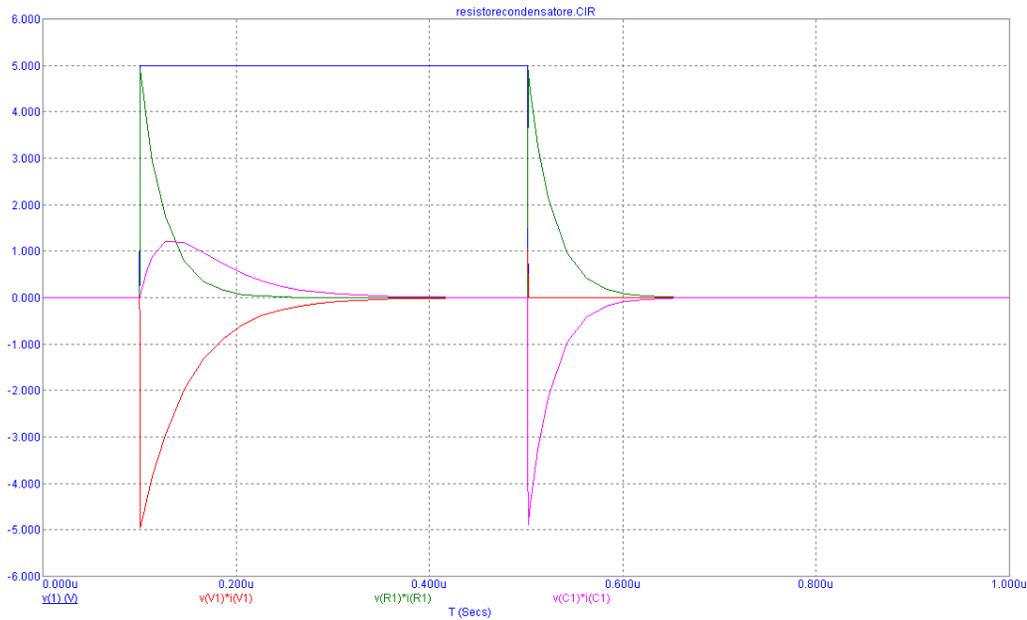


Figura 1.17: Risultato dell'analisi Transient del circuito di Fig. 1.15 con visualizzazione delle potenze dei bipoli.

Come possiamo vedere da Fig. 1.17, la potenza iniziale del generatore a fronte di una salita della tensione è negativa e dunque erogata: essa è assorbita da condensatore e resistore, dove il primo immagazzina energia mentre il secondo la disperde termicamente. Mentre il condensatore si carica, la corrente cala e di conseguenza la potenza che circola nel circuito tende a zero; nel momento che la tensione torna a zero, il condensatore eroga potenza elettrica al posto del generatore: come si può notare dall'andamento della potenza nel resistore nella fase di carica e scarica, R1 ha lo stesso comportamento a prescindere che la potenza sia generata da V1 (in carica) o da C1 (in scarica). Bisogna ricordare che, per la conservazione dell'energia, l'area descritta dalla traiettoria della potenza di V1 nella fase di carica deve essere uguale all'area descritta da R1 nelle due fasi, mentre l'area descritta da C1 nella fase di carica deve equivalere a quella descritta nella fase di scarica.

E' interessante notare infine come il comportamento percepito di un condensatore dipenda essenzialmente dal valore della capacità: se per esempio quintuplichiamo (temporaneamente, senza salvare il file) la capacità, possiamo vedere dall'analisi Transient che v(2) chiaramente non riesce a raggiungere il valore di regime nè nella fase di carica nè in quella di scarica. Nel caso di un segnale periodico, diventa evidente come la carica/scarica di un condensatore avvenga "correttamente"<sup>23</sup> solo se la capacità è sufficientemente piccola rispetto al periodo del segnale. Possiamo vedere questo comportamento impostando sotto **Transient Analysis Limits** il campo **Time Range** a 2u

<sup>23</sup>La correttezza dipende dal contesto applicativo e può essere stabilita determinando se il segnale d'uscita raggiunge almeno una data percentuale del segnale di ingresso.

e raddoppiando analogamente il valore massimo degli **X Range** dei segnali: tale risultato è mostrato in Fig. 1.18, dove è evidente l’instaurarsi di un “regime periodico” dei segnali.

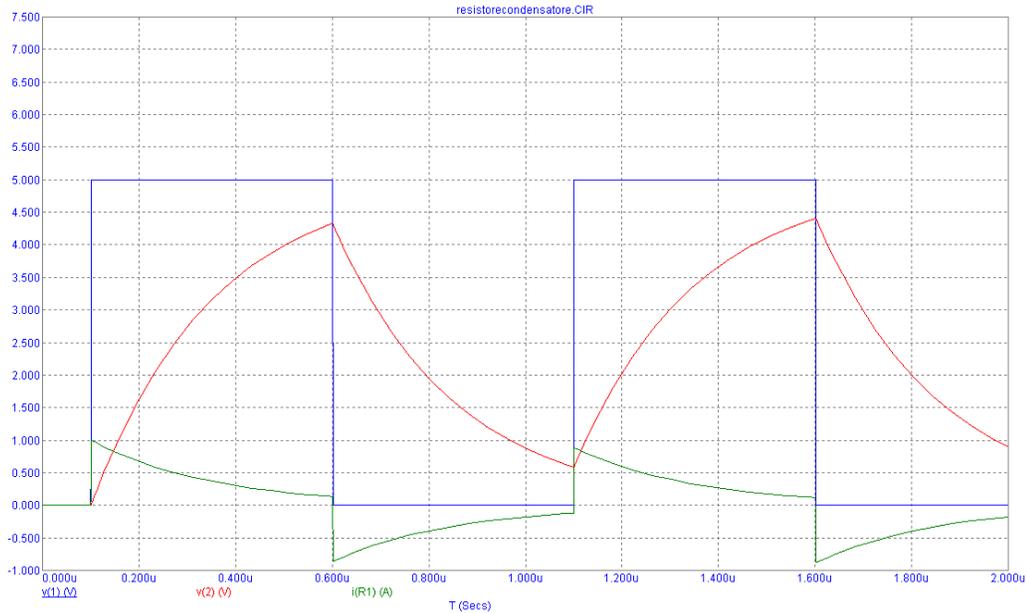


Figura 1.18: Risultato dell’analisi Transient del circuito di Fig. 1.15 per ingresso periodico e alta capacità.

L’effetto mostrato in Fig. 1.18 è centrale nel problema del rapporto tra il livello dei segnali e la frequenza di variazione degli stessi: una frequenza eccessiva può impedire ai segnali elettrici di raggiungere un livello sufficiente da essere interpretati correttamente in digitale. Poichè tutti i circuiti presentano effetti capacitivi, è evidente che uno studio di questi ultimi risulta di primaria importanza per determinare la massima frequenza operativa possibile in un circuito logico.

Per avere una idea del comportamento in frequenza di un condensatore, possiamo effettuare una analisi AC; in questa analisi introduciamo ingressi sinusoidali e per un determinato intervallo di frequenze valutiamo l’amplificazione e il ritardo/anticipo del segnale di uscita rispetto all’ingresso<sup>24</sup>. Per l’analisi AC non è necessario specificare un ingresso sinusoidale e darne l’ampiezza, in quanto l’output grafico viene espresso come rapporto fra il segnale da osservare e quello d’ingresso: possiamo dunque direttamente scegliere **Analysis|AC** ed impostare i parametri di analisi. In particolare, vogliamo analizzare l’intervallo di frequenze fra 100 Hz e 1 THz, perciò a fianco del campo **Frequency Range** scegliamo **1E12,100**. Vogliamo osservare il rapporto in decibel fra  $v(2)$  e  $v(1)$ , detto anche *guadagno*, perciò fra i segnali da osservare introduciamo **db(v(2))** (implicitamente equivale a  $\text{db}(v(2)/v(1))$ ); in aggiunta, vogliamo osservare la *fase ph(v(2))* (implicitamente  $\text{ph}(v(2)/v(1))$ , ovvero il ritardo/anticipo del segnale di uscita rispetto a quello d’ingresso; notiamo inoltre che la visualizzazione predefinita prevede che ampiezza e fase siano mostrate su due gruppi P diversi. Lasciamo in **Auto** i range delle variabili e facciamo partire l’analisi, ottenendo il risultato di Fig. 1.19.

Il grafico dimostra che, qualora io introduca un segnale sinusoidale in tensione fra i terminali 1 e 0 del circuito, la tensione di uscita fra i terminali 2 e 0 è smorzata quanto

<sup>24</sup>In poche parole è simile all’analisi DC, dove al posto degli “sweep” in ampiezza abbiamo gli “sweep” in frequenza.

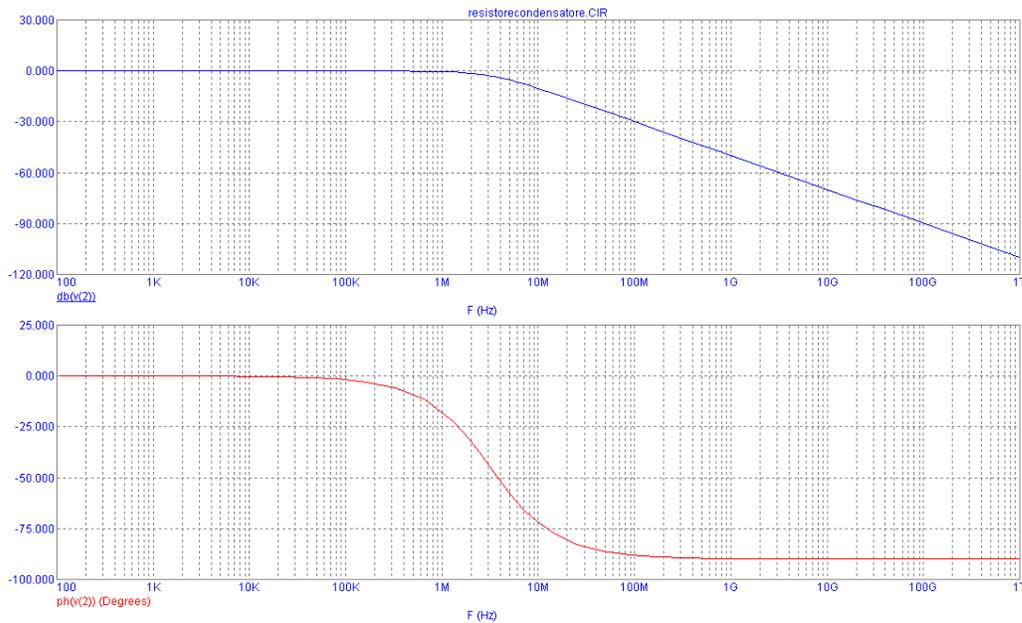


Figura 1.19: Risultato dell'analisi AC del circuito di Fig. 1.15.

maggiore la frequenza<sup>25</sup>, con un ritardo che tende a 90 gradi ( $-\pi/2$ ). Questi concetti possono non voler dire molto, specialmente se si è interessati all'applicazione al campo digitale. In verità, essi in altri termini ci suggeriscono che l'*escursione*<sup>26</sup> del segnale di uscita si riduce all'aumentare della frequenza come discusso per la Fig. 1.18 e nel contempo il segnale di uscita è ritardato rispetto a quello d'ingresso. Per basse frequenze, il guadagno è nullo, il che significa che  $v(2)$  è uguale a  $v(1)$  ovvero il condensatore si comporta come un lato aperto; per frequenze alte,  $v(2)$  tende a zero rispetto a  $v(1)$  il che significa che il condensatore non riesce ad avere una escursione apprezzabile ed il condensatore si comporta da *cortocircuito virtuale*<sup>27</sup>. Come ulteriore riferimento, i circuiti resistivi degli Esempi 1 e 2 invece presenterebbero un comportamento in frequenza costante e negativo per l'ampiezza (dovuto alla perdita di tensione o corrente causata dalla resistenza) nonché una differenza di fase nulla (in quanto la legge di Ohm è di ordine zero). Tornando al concetto di doppio bipolo accennato all'inizio del Capitolo, si può immaginare di avere un doppio bipolo con terminali di sinistra collegati ai nodi 1 e 0, e terminali di destra collegati ai nodi 2 e 0 (vedere Fig. 1.2), con una funzione data dalla Fig. 1.19: tale doppio bipolo smorza i segnali di tensione alle alte frequenze ed in elettronica analogica è detto *filtro passa-basso in tensione*. L'aspetto interessante è che la pendenza di discesa dell'ampiezza, nonché la fase limite per alta frequenza, non dipendono dai valori di resistenza e capacità: questi influenzano unicamente la frequenza (detta *frequenza di taglio*) in cui inizia la discesa di guadagno e fase; in particolare, la pendenza è fissa e pari a  $-30$  dB per decade<sup>28</sup>. La frequenza di taglio è assunta tale da comportare una caduta di  $-3$  dB del guadagno, quindi nel nostro caso osservando la figura è individuata tra 3 MHz e 4 MHz.

<sup>25</sup>Ricordiamo che ogni circa 3 decibel in meno corrispondono ad un dimezzamento dell'ampiezza del segnale, dunque il fondo di  $-120$  dB corrisponde ad una riduzione a circa  $10^{-12}$  di un segnale di ampiezza iniziale 1.

<sup>26</sup>L'escursione è intesa come la differenza picco-picco in un periodo.

<sup>27</sup>Ossia come se collegassimo con un filo i due poli del condensatore.

<sup>28</sup>Per decade intendiamo l'intervallo fra un valore di frequenza e 10 volte tale valore.

### 1.3.3 L'induttore

L'induttore, mostrato in Fig. 1.20, è un componente che costituisce il *duale* del condensatore: esso modella la risposta di un circuito ad una variazione di corrente ed è caratterizzato dalla seguente equazione:

$$v(t) = L i'(t) \quad (1.14)$$

dove  $L$  è l'*induttanza* del bipolo induttore, espressa in Henry (H).



Figura 1.20: Un bipolo induttore.

Mutuando la discussione della precedente Sottosezione, osserviamo che ad induttanza crescente corrisponde maggiore differenza di tensione ai capi dell'induttore. Si noti che, essendo l'induttore un bipolo utilizzatore, ad un incremento di corrente entrante nel polo positivo corrisponde una maggiore *caduta* di tensione ai capi dell'induttore.

In condizioni stazionarie, la differenza di tensione è nulla e dunque l'induttore si comporta da *cortocircuito virtuale* (dunque è possibile studiare il circuito assumendo che l'induttore non sia presente e che i due terminali corrispondenti nel circuito siano direttamente connessi).

Come per il condensatore, l'induttore trattiene energia secondo l'espressione

$$E_L(t) = \frac{1}{2} L i^2(t) \quad (1.15)$$

Questo significa che un induttore è scarico nel momento in cui non è percorso da corrente, mentre è completamente carico quando non presenta differenza di tensione ai suoi capi. Come per il condensatore, la potenza elettrica di un induttore può avere segno positivo o negativo in base al fatto che stia assorbendo o erogando potenza elettrica.

Dal punto di vista fisico, un induttore è sicuramente meno intuitivo di un condensatore: preso un percorso chiuso della corrente in un conduttore, nella regione interna individuata da tale percorso si forma un campo magnetico che si oppone alla variazione di corrente. Questo significa che un effetto induttivo è riscontrabile in una certa misura in qualunque circuito elettrico che presenta interconnessioni metalliche di elevato spessore rispetto alla frequenza dei segnali<sup>29</sup>.

#### Esercizio 5: Carica/scarica di un induttore

In questo esercizio consideriamo un *circuito RL-parallelo*, in cui un resistore ed un induttore sono posti in parallelo, tipicamente utilizzato per verificare il comportamento di carica e scarica di un induttore. Come è possibile immaginare, per dualità i ragionamenti che faremo saranno del tutto analoghi a quelli dell'Es. 4.

Come prima cosa carichiamo nuovamente il file `magliaresistivacorrente.CIR` e salviamolo con nome `resistoreinduttore.CIR`. Dopodichè spostiamo R1 verso sinistra fino ad essere allineato con la massa e cambiamo la sua resistenza a `.5`. Ora introduciamo il componente induttore (`Analog Primitives|Passive Components|Inductor`) e come induttanza scegliamo `20n`, ovvero  $20\text{ nH}$ ; a questo punto inseriamo L1 nella precedente posizione di R1, assicurandoci che il polo positivo sia in alto: il circuito ottenuto è mostrato in Fig. 1.21 e presenta 3 rami.

<sup>29</sup>Il cosiddetto *effetto pelle* fa sì che, all'aumentare della frequenza, la carica che transita per un conduttore si concentri nella regione superficiale: il risultato è un induttore esteso a tutta l'interconnessione.

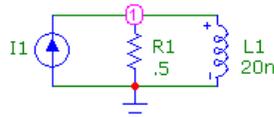


Figura 1.21: Un circuito elementare resistivo-induttivo.

Ora effettuiamo una analisi DC, in cui vogliamo osservare di  $v(1)$ ,  $i(L1)$  e  $i(I1)$ ; per ottenere una visualizzazione corretta scegliamo come **Y Range** i valori 3,0, .5. Il risultato dell'analisi mostra che la tensione è nulla mentre  $i(L1)$  è pari a  $i(I1)$ . Anche in questo caso i valori sono compatibili con la discussione precedente: in continua, in cui le derivate delle correnti sono nulle, data l'Eq. 1.14 la differenza di tensione dell'induttore è pari a zero; ne consegue che l'induttore si comporta come un cortocircuito e dunque la corrente del generatore scorre completamente lungo il ramo di  $L1$  mentre  $i(R1)$  è nulla.

Passando all'analisi in transitorio, dobbiamo definire una variazione nel tempo della corrente fornita dal generatore. Nelle proprietà di  $I1$  ci spostiamoci alla scheda **Pulse** e impostiamo a zero i campi relativi a **TR** e **TF**. Scegliamo l'analisi di tipo **Transient** ed utilizziamo come **Y Range** delle correnti i valori 6,0, .5 mentre per  $v(1)$  usiamo 3, -3, .5.

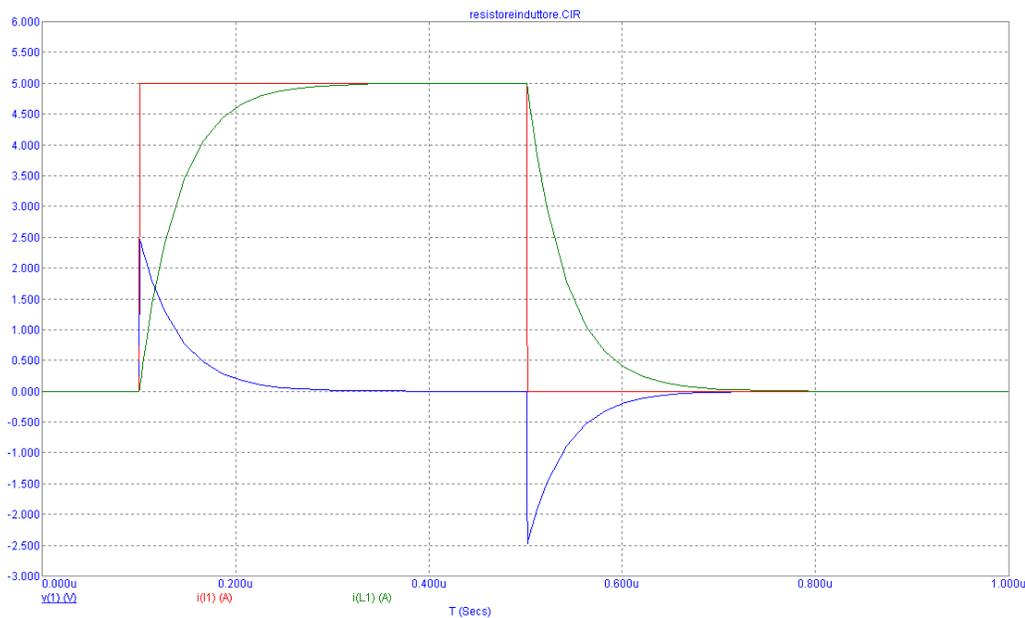


Figura 1.22: Risultato dell'analisi Transient del circuito di Fig. 1.21 relativo ad un parallelo di resistore e induttore.

Come è possibile vedere dalla Fig. 1.22, la corrente  $i(L1)$  non segue istantaneamente  $i(I1)$  quando questa passa da 0 A a 5 A, bensì la raggiunge precisamente dopo un tempo infinito. La differenza di tensione  $v(1)$  al contrario sale istantaneamente al valore per  $i(I1)$  pari a 5 A, dopodichè essa cala gradualmente secondo l'Eq. 1.14 a causa della riduzione della corrente che attraversa l'induttore. Un istante prima del tempo  $T = 500\text{ ns}$  l'induttore è quasi completamente carico ed il circuito è pressochè

“a regime”, ossia con un comportamento analogo a quello riscontrato nell’analisi DC in cui le due correnti sono uguali e la differenza di tensione è nulla. A  $T = 500 \text{ ns}$  la corrente ritorna istantaneamente a zero ed abbiamo il comportamento opposto:  $i(L1)$  inizia a scaricarsi mentre la differenza di tensione passa istantaneamente ad un valore uguale in modulo al caso della salita, ma opposta in segno, che si riduce gradualmente fino a raggiungere zero.

L’analisi di potenza può essere effettuata osservando  $i(I1)$ ,  $v(I1)*i(I1)$ ,  $v(R1)*i(R1)$  e  $v(L1)*i(L1)$ , dove per Y Range scegliamo 13, -13, 1.

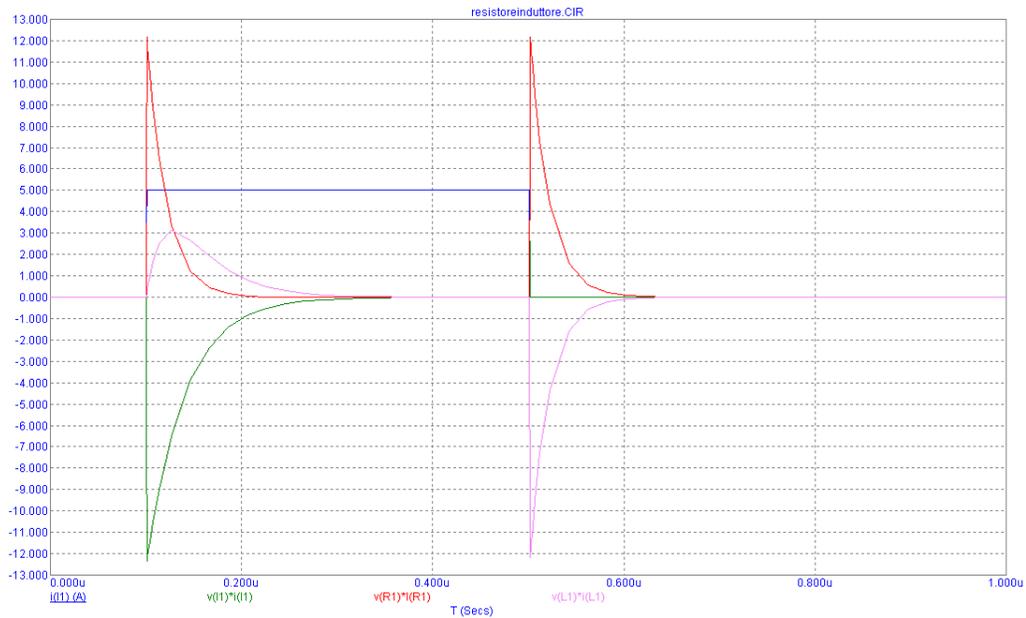


Figura 1.23: Risultato dell’analisi Transient del circuito di Fig. 1.21 con visualizzazione delle potenze dei bipoli.

In questo caso, a parte aspetti di scala dovuti ai particolari valori scelti per il circuito, possiamo vedere un comportamento analogo alla Fig. 1.17: il generatore I1 eroga potenza per R1 (che la dissipa) e L1 (che la assorbe), mentre la differenza di tensione tende sempre più a calare. A regime vi è energia immagazzinata sull’induttore, il quale è completamente carico: quando la corrente di I1 ritorna a zero, l’induttore si scarica erogando potenza che viene dissipata nuovamente su R1 in maniera identica al caso della carica. Per la conservazione dell’energia, l’area descritta dalla traiettoria della potenza di I1 nella fase di carica deve essere uguale all’area descritta da R1 nelle due fasi, mentre l’area descritta da L1 nella fase di carica deve equivalere a quella descritta nella fase di scarica.

Anche in questo caso il comportamento percepito di un induttore dipende dal valore dell’induttanza: se (temporaneamente) quintuplichiamo l’induttanza e impostiamo sotto **Transient Analysis Limits** il campo **Time Range** a 2u, raddoppiando analogamente il valore massimo degli **X Range** dei segnali, otteniamo il grafico di Fig. 1.24.

L’effetto mostrato in Fig. 1.24 è duale a quello discusso nel caso del condensatore, il che significa che gli effetti induttivi vanno necessariamente presi in considerazione per determinare la massima frequenza operativa di un circuito.

Anche in questo caso possiamo introdurre una analisi AC, dove questa volta vogliamo osservare  $i(L1)$  nuovamente fra 100 Hz e 1 THz. In questo caso, il doppio bipolo

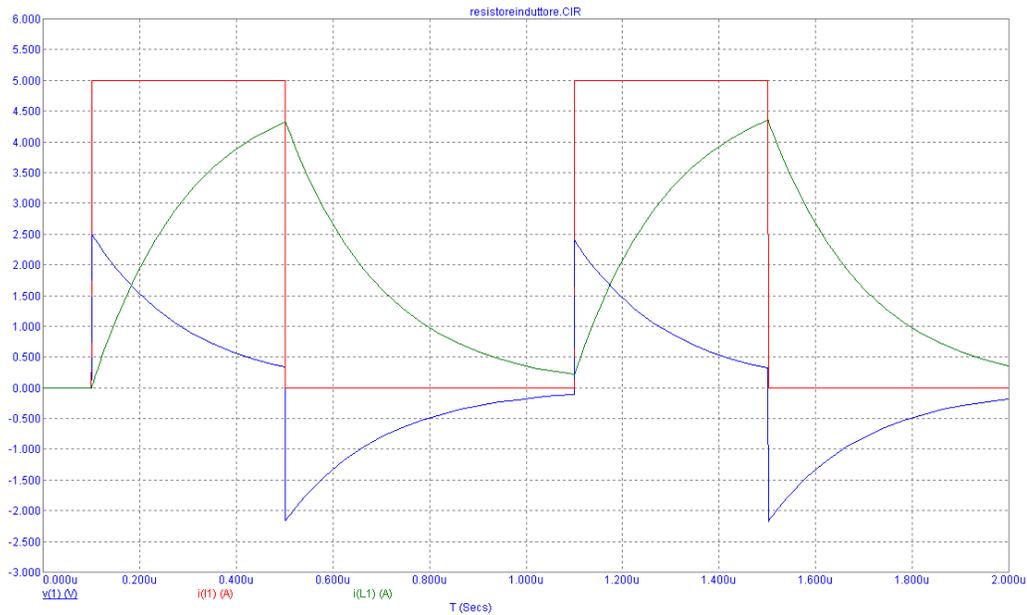


Figura 1.24: Risultato dell'analisi Transient del circuito di Fig. 1.21 per ingresso periodico e alta induttanza.

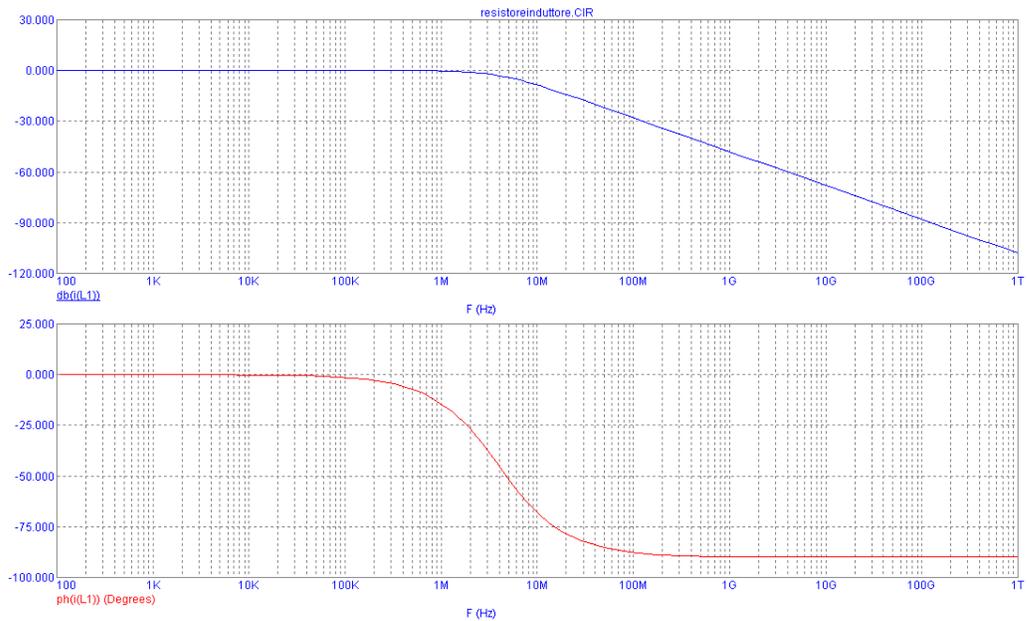


Figura 1.25: Risultato dell'analisi AC del circuito di Fig. 1.21.

risulta avere terminali corrispondenti ai nodi 1 e 0 per entrambe le porte. In Fig. 1.25 vediamo un comportamento duale a quello di Fig. 1.19, ovvero in questo caso abbiamo un *filtro passa-basso in corrente*. Infatti, per frequenze basse l'induttore presenta la stessa corrente del generatore, fungendo quindi da corto circuito; per frequenze alte, invece, la corrente attraverso l'induttore è nulla e perciò esso si comporta da lato aperto. Come per l'induttore, la pendenza di discesa del guadagno è costante e pari a -30 dB per

decade, mentre la fase finale è pari a  $-90$  gradi.

## 1.4 Circuiti di ordine superiore

I circuiti analizzati finora si sono caratterizzati per la presenza di un unico elemento reattivo. Tali circuiti sono definiti circuiti del primo ordine, in quanto le espressioni temporali di tensioni e correnti possono essere definite attraverso equazioni differenziali di ordine 1. Ma cosa succede quando consideriamo circuiti di ordine superiore al primo, ovvero dotati di più componenti reattivi? L'effetto più evidente è dato dalla possibilità che, a fronte di variazioni repentine degli ingressi di corrente o tensione, si presentino oscillazioni dei segnali di uscita, dovute al trasferimento di energia fra componenti induttive e capacitive. Tali oscillazioni, in ogni caso, verranno progressivamente smorzate a causa della presenza di componenti resistive.

Come precedentemente accennato, in un circuito reale le componenti induttive e capacitive sono distribuite e dunque sempre presenti. Un induttore smorza le variazioni di corrente, mentre un condensatore smorza le variazioni di tensioni. Per osservare l'effetto della presenza di dinamiche di ordine superiore, ritorniamo agli esempi ideali di circuito capacitivo e induttivo visti nella precedente Sezione.

### Esercizio 6: Circuito di secondo ordine in serie

Per questo esercizio partiamo dai risultati dell'Es. 4, dunque carichiamo il precedente file `resistorecondensatore.CIR` e salviamolo con nome `rlcserie.CIR`.

Come prima operazione eliminiamo l'interconnessione fra `R1` e `C1` ed inseriamo un induttore di induttanza `0n`, per infine collegare con un filo l'induttore al condensatore: otteniamo il circuito *RLC-serie* di Fig. 1.26 in cui evidentemente, come è possibile verificare dall'analisi in transitorio, l'introduzione dell'induttore non ha alcun effetto sul circuito.

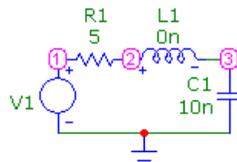


Figura 1.26: Un circuito RLC-serie.

Ora modifichiamo il valore di `L1` scegliendo `50n` e torniamo all'analisi grafica, che mostra il risultato di Fig. 1.27.

Cosa è successo? Se torniamo alla Fig. 1.16, si vede che la derivata della corrente dovuta alla variazione a gradino della tensione d'ingresso è pressochè infinita. Se introduciamo un induttore ad induttanza non nulla, tale variazione di corrente indurrà (la scelta del verbo non è casuale) una caduta di tensione ai capi dell'induttore tale da "frenare" la variazione di corrente stessa<sup>30</sup>; l'effetto complessivo è di mutua influenza fra variazione di corrente e variazione di tensione: in altri termini, condensatore ed induttore si scambiano energia fino a raggiungere un equilibrio stabile (in tempo infinito).

<sup>30</sup>Conferma della proprietà di smorzamento si può avere osservando la corrente in Fig. 1.27, che presenta un andamento più graduale.

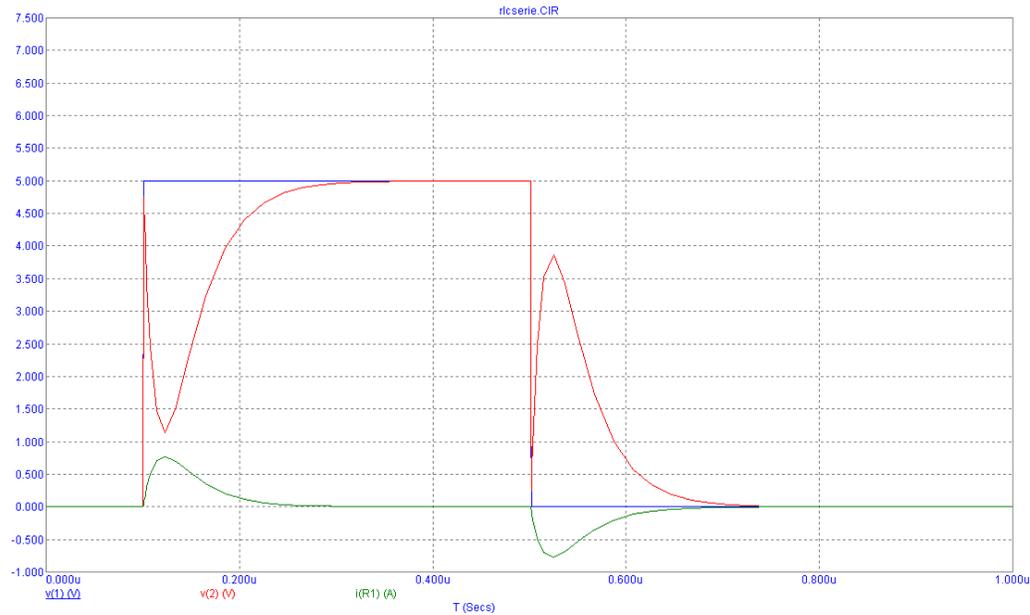


Figura 1.27: Risultato dell'analisi Transient del circuito di Fig. 1.26 relativo a una serie RLC.

Per quanto riguarda invece lo scambio energetico, possiamo verificare che le oscillazioni diventano più marcate se incrementiamo l'induttanza di L1, come mostrato in Fig. 1.28 dove abbiamo scelto un'induttanza pari a 200n.

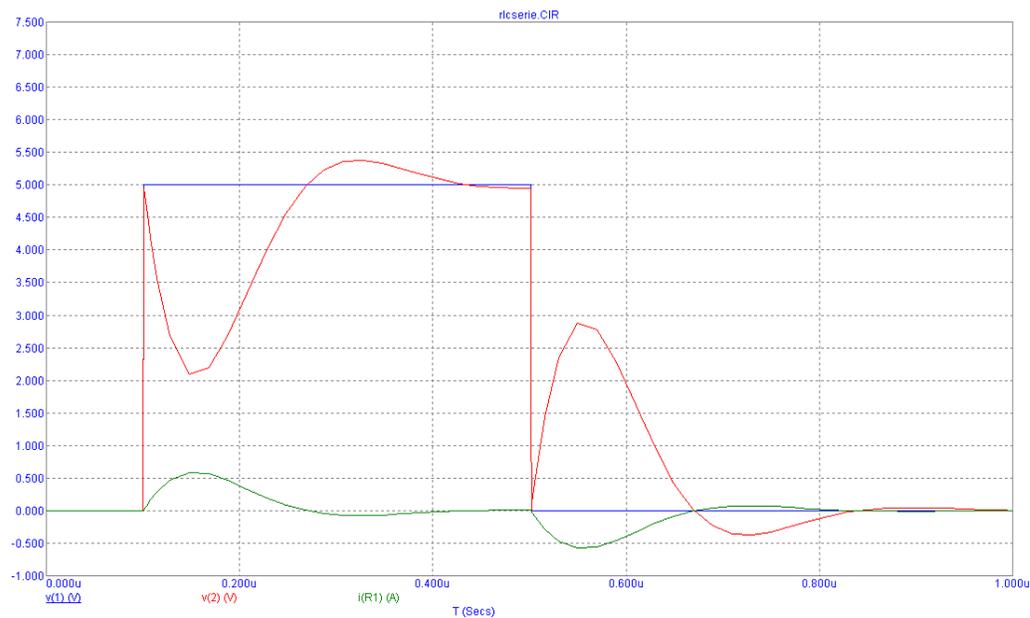


Figura 1.28: Risultato dell'analisi Transient del circuito di Fig. 1.26 con induttanza pari a 200nH.

E' interessante a tale proposito valutare come varia la potenza elettrica nel circuito. Per fare questo andiamo in **Transient Analysis Limits** e impostiamo l'osservazione

di  $v(1)$  in blu,  $v(V1)*i(V1)$  in verde,  $v(R1)*i(R1)$  in rosso,  $v(C1)*i(C1)$  in viola e  $v(L1)*i(L1)$  in giallo, con Y Range pari a 5.5, -3, .5.

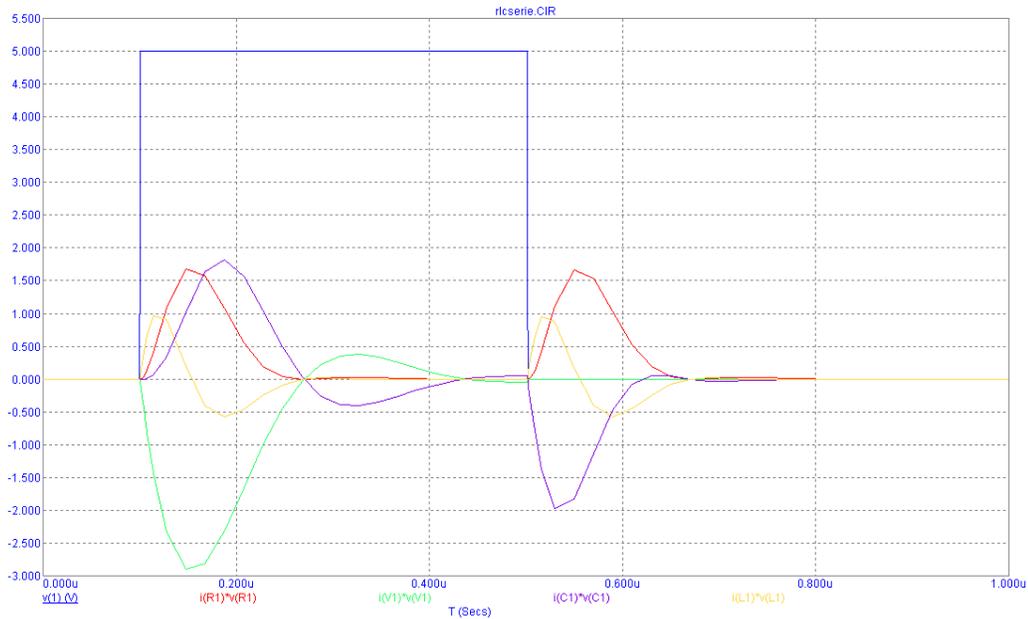


Figura 1.29: Risultato dell'analisi Transient del circuito di Fig. 1.26, con visualizzazione delle potenze dei bipoli.

In Fig. 1.29 è possibile vedere il risultato: la potenza del generatore è inizialmente negativa (e dunque erogata), per venire dissipata in parte da  $R1$  ed assorbita da  $C1$  ed  $L1$ . Si noti però che le oscillazioni di energia fanno sì che in certi intervalli di tempo il generatore *assorba* potenza elettrica, restituita da induttore e condensatore<sup>31</sup>. Mentre la corrente cala, la potenza dissipata su  $R1$  si riduce, finché idealmente si giunge a regime in cui il condensatore è carico e l'induttore scarico. Quando la tensione torna istantaneamente a zero, l'energia del condensatore viene emessa e trasferita all'induttore ed al resistore, il quale la dissipa; si noti che nella fase di scarica l'induttore ed il resistore si comportano alla stessa maniera della fase di carica, con la differenza che è il condensatore a fornire potenza elettrica.

Il periodo delle oscillazioni invece dipende dal prodotto induttanza per capacità: possiamo verificarlo dividendo per 5 entrambi i valori, ovvero impostando  $40nH$  per l'induttore e  $2nF$  per il condensatore, nonché utilizzando in Y Range un passo pari a .2 per migliorare la precisione; come mostrato in Fig. 1.30, si può notare rispetto alla Fig. 1.27 che l'ampiezza dei picchi delle oscillazioni è identica, mentre il periodo è ridotto.

Prima di effettuare una analisi AC, modifichiamo lievemente il circuito impostando induttanza pari a  $50uF$ , dopodiché utilizziamo gli stessi parametri di analisi visti nell'Es. 4. Ci aspettiamo ovviamente che il comportamento sia simile a quello di Fig. 1.19 per bassi valori dell'induttanza, ma poichè abbiamo scelto un valore elevato otteniamo l'andamento di Fig. 1.31.

Ciò che si nota immediatamente è il picco presente attorno a  $650KHz$ , in cui il circuito *amplifica* le oscillazioni in ingresso: questa proprietà, detta di *risonanza*, è

<sup>31</sup>Tale potenza elettrica è detta *potenza reattiva*, in quanto dipende dalla presenza di componenti reattivi e non contribuisce alla dissipazione per via resistiva.

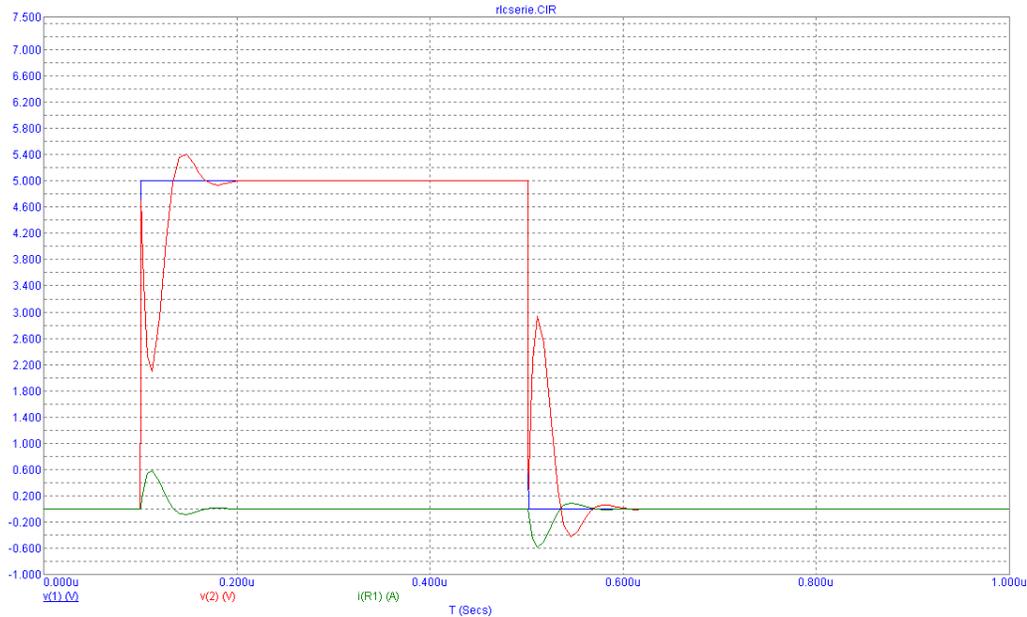


Figura 1.30: Risultato dell'analisi Transient del circuito di Fig. 1.26 con induttanza pari a  $40nH$  e capacità pari a  $2nF$ .

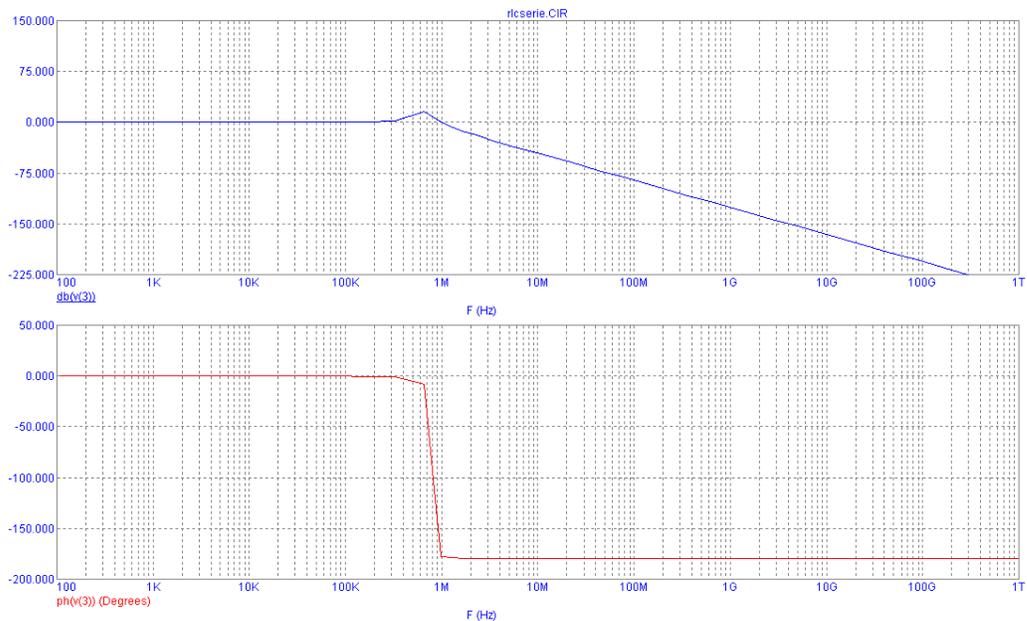


Figura 1.31: Risultato dell'analisi AC del circuito di Fig. 1.26 con induttanza pari a  $50uH$ .

tipica dei circuiti di ordine superiore e nel nostro caso dipende, oltre che da capacità e induttanza per la determinazione della *frequenza di risonanza*, anche dal valore della resistenza per il *guadagno di risonanza*. Questo effetto può essere indesiderato o meno, in base al contesto applicativo. Quello che invece è inevitabile è il più rapido effetto di smorzamento alle alte frequenze dovuto ad una pendenza di  $-60$  dB per decade, nonchè

l'aumento del ritardo fino a 180 gradi. A questo proposito, tali valori doppi rispetto ai casi dei circuiti RC-serie e RL-parallelo non sono casuali: essi sono infatti dovuti unicamente all'ordine del circuito.

Come ultima nota, in questo caso il doppio bipolo equivalente ha porta di ingresso fra i nodi 1 e 0, mentre la porta di uscita è fra i nodi 3 e 0.

Intuiamo che considerazioni analoghe a quelle dell'Es. 6 possono essere svolte per un circuito *RLC-parallelo*, mostrato in Fig. 1.32, dove all'analisi in tensione va sostituita l'analisi in corrente.

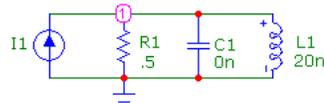


Figura 1.32: Un circuito RLC-parallelo.



## Capitolo 2

# Diodi

Nel precedente Capitolo abbiamo trattato componenti passivi di tipo simmetrico e lineare, quali il comune resistore: tali componenti sono caratterizzati da proprietà semplici che ne permettono un ampio studio analitico. Tuttavia esistono contesti applicativi in cui si richiedono asimmetria e non-linearità: un esempio è il diodo.

La funzione di un diodo ideale è quella di offrire resistenza nulla (corto circuito virtuale) quando la differenza di tensione ai suoi capi è positiva, e di offrire resistenza infinita (lato aperto virtuale) quando tale differenza è negativa: in poche parole, un diodo consente lo scorrimento della corrente unicamente in direzione entrante al suo polo positivo. Questa sua proprietà base viene sfruttata principalmente per impedire un verso indesiderato della corrente, per motivi funzionali del circuito oppure per questioni di sicurezza legate ad aspetti prettamente elettrici.

### 2.1 Regioni di funzionamento

Un diodo reale ovviamente presenta un comportamento lievemente differente da quello precedentemente descritto: in particolare, la corrente in presenza di differenza di tensione positiva (polarizzazione “diretta”) non è immediatamente positiva, bensì cresce lentamente fino a raggiungere un valore apprezzabile dopo una certa *tensione di soglia*; oltre tale tensione la corrente cresce molto rapidamente. Quando la differenza di tensione è negativa (polarizzazione “inversa”), la corrente non è nulla bensì è negativa, sebbene di valore estremamente basso. Inoltre, per differenza di tensione molto negativa, si presenta il fenomeno del *breakdown* del diodo, in cui la corrente diventa rapidamente molto negativa mutuando il comportamento in diretta.

Tratteremo le tre regioni nelle successive Sottosezioni, introducendo alcune tipiche applicazioni che sfruttano i tre diversi comportamenti.

#### 2.1.1 Diretta

##### **Esercizio 7:** *Polarizzazione diretta*

Per questo esercizio carichiamo il precedente file `magliaresistivatensione.CIR` e lo salviamo come `diododiretta.CIR`.

Come primo passo rimuoviamo il resistore ed inseriamo l'elemento diodo scegliendo `Analog Primitives|Passive Components|Diode`. Inserendolo nel circuito ci viene presentata la finestra dei parametri: in questo caso dobbiamo scegliere un modello fra i tanti disponibili nella lista a destra. Per ora prendiamo `GENERIC` e diamo invio, dopodiché ruotiamo il componente in maniera tale da avere il polo positivo in alto e

lo inseriamo al posto del precedente resistore. La configurazione corrente, mostrata in Fig. 2.1 rappresenta una polarizzazione diretta del diodo.

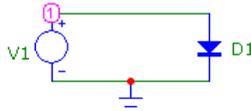


Figura 2.1: Un circuito che rappresenta una polarizzazione diretta di un diodo.

Ora possiamo effettuare una analisi DC per verificare la caratteristica corrente-tensione del diodo in tale regione. Per ovvi motivi dobbiamo scegliere un piccolo intervallo di tensione di ingresso, altrimenti non siamo in grado di osservare l'andamento della corrente nella regione di soglia. In **DC Analysis Limits** anzitutto ci assicuriamo di osservare  $v(1)$  e  $i(D1)$  e lasciamo gli **X Range** ed **Y Range** in **Auto**, dopodichè scegliamo nella regione **Sweep** un **Range** pari a  $3, 0, .1$ . Il risultato dell'analisi, mostrato in Fig. 2.2, ci mostra il classico "ginocchio" attorno agli  $0.6\text{ V} \sim 0.7\text{ V}$ , mentre l'andamento della corrente per valori maggiori della differenza di tensione è chiaramente lineare: questo significa che nel modello generale il diodo in diretta si comporta come un resistore. Il valore di tale resistenza si trova nel campo **RS** delle proprietà del diodo, ossia nel nostro caso  $400\text{ m}\Omega$ : si noti che per calcolare "a mano" la resistenza non è corretto prendere il rapporto  $v(1)/i(D1)$  a valori alti di  $v(1)$ , in quanto la retta della corrente non incontra l'origine; in questi casi bisogna impiegare la relazione differenziale  $R = dv/di$  e dunque il metodo corretto implica il calcolo di  $(v_A(1) - v_B(1))/(i_A(D1) - i_B(D1))$  presi due punti  $A$  e  $B$  a tensione lontana dalla tensione di soglia. Allo stesso tempo in generale possiamo dire che il diodo presenta sempre una resistenza elevata per valori di differenza di tensione inferiori alla tensione di soglia.

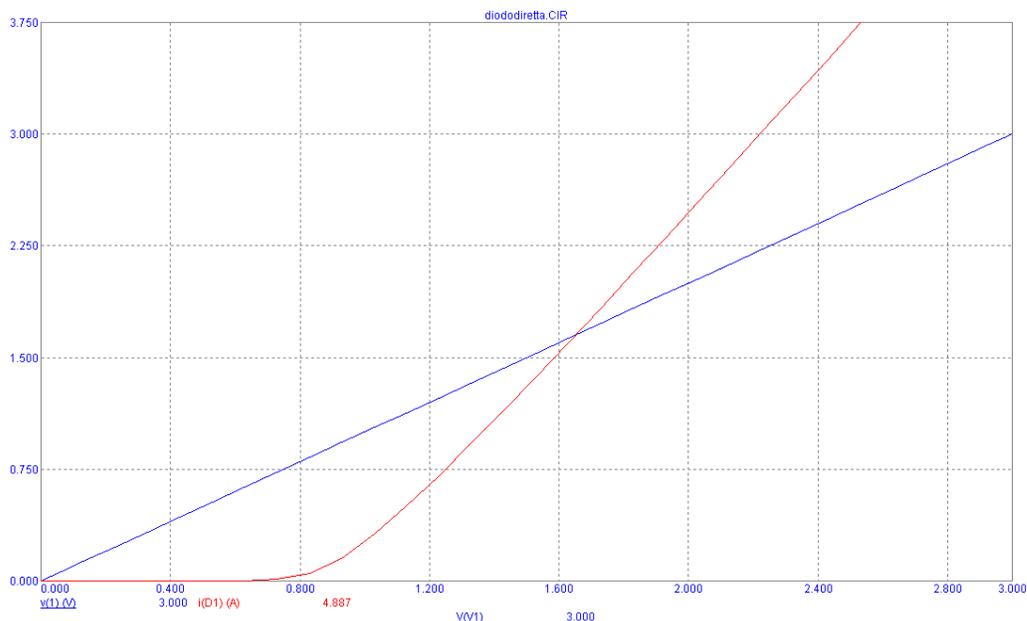


Figura 2.2: Risultato dell'analisi DC del circuito di Fig. 2.1 con il modello generale di diodo.

Il modello lineare per il diodo in diretta può essere una utile approssimazione nell'analisi di un circuito, ma rispetto a Fig. 2.1 noi potremmo volere un comportamento più vicino a quello di un cortocircuito virtuale e dunque dovremmo modificare il campo RS del modello del diodo riducendo il valore della resistenza.

### 2.1.2 Inversa

#### Esercizio 8: Polarizzazione inversa

Per osservare il comportamento di un diodo in polarizzazione inversa possiamo ancora utilizzare il circuito di Fig. 2.1, che però salviamo con nome `diodoinversa.CIR`. Dopodichè andiamo a svolgere una analisi DC con un intervallo di **Sweep** negativo: questa scelta è assolutamente equivalente all'inversione del diodo o del generatore, con un intervallo positivo. Scegliamo quindi come **Range** dell'ingresso l'intervallo  $0, -3, .01$ , in cui il passo è ulteriormente ridotto rispetto al caso precedente a causa del fatto che le correnti che osserveremo saranno estremamente ridotte. Per questa stessa ragione escludiamo la visualizzazione di  $v(1)$ , la quale altrimenti avrebbe ampliato troppo la scala del grafico impedendo di osservare con precisione la corrente, dopodichè impostiamo **X Range** ed **Y Range** di  $i(D1)$  ad **Auto**.

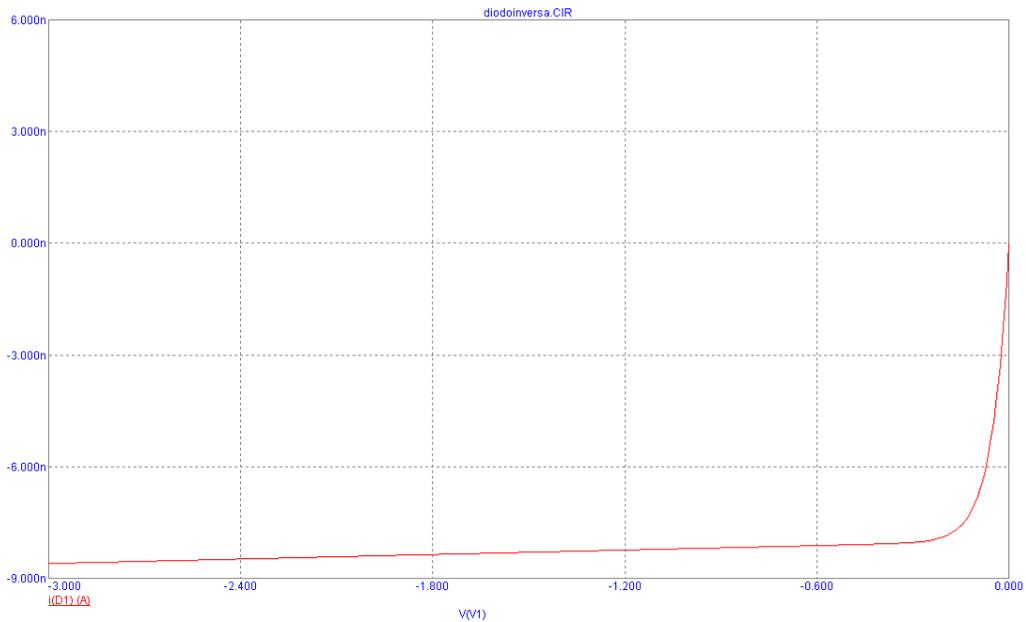


Figura 2.3: Risultato dell'analisi DC del circuito di Fig. 2.1 nel caso di polarizzazione inversa.

Come è possibile osservare in Fig. 2.3, la corrente scende rapidamente in negativo fino a qualche  $nA$ , dopodichè prosegue con una pendenza costante, ovvero si comporta nuovamente come un resistore. Il valore della resistenza può essere modificato attraverso il campo RL delle proprietà del diodo, pari a  $5 G\Omega$  nel modello generico: in questo caso a maggiore resistenza corrisponde minore pendenza.

### 2.1.3 Breakdown

#### Esercizio 9: Polarizzazione inversa in regione di breakdown

Estendiamo l'Es. 8 per verificare il comportamento in regione di breakdown. Anzitutto salviamo il precedente file con nome `diodobreakdown.CIR`. Dopodichè scegliamo un valore per il campo `BV` del diodo: questo campo determina il punto in cui la corrente in inversa inizia a diventare fortemente negativa innescando il breakdown. Per un dato circuito in cui il diodo deve operare in diretta, il diodo deve essere progettato in maniera tale da presentare un `BV` molto negativo, in maniera tale da garantire che il breakdown non si verifichi; per i diodi Zener, invece, il valore di `BV` deve essere di poco inferiore alla tensione che si vuole stabilizzare. Per questo esercizio scegliamo un valore di 3.5, ovvero  $-3.5\text{ V}$ , per questioni pratiche legate alla visualizzazione dell'andamento della corrente.

In secondo luogo, analogamente all'andamento del diodo in diretta sopra la soglia, per avere una ripida pendenza della corrente in breakdown dobbiamo fornire un valore molto basso nel campo `RS`: scegliamo indicativamente  $1\text{ m}\Omega$ . Impostiamo ora una analisi DC, in cui scegliamo un intervallo di ingresso 0, -5, .1 ed un `Y Range` pari a 10, -100, 1.



Figura 2.4: Risultato dell'analisi DC del circuito di Fig. 2.1 nel caso di polarizzazione inversa in regione di breakdown.

In Fig. 2.4 possiamo notare come la corrente diventi apprezzabilmente negativa attorno a  $-4.5\text{ V}$ , quindi relativamente lontano dal valore scelto di `BV`. L'andamento in seguito diventa lineare, con pendenza  $1/1000$  dovuta a `RS`.

## 2.2 Applicazioni

### Esercizio 10: Limitatore di tensione

In questo esercizio utilizziamo un diodo Zener per limitare la tensione di uscita del circuito dell'Es. 4. Di conseguenza carichiamo `resistorecondensatore.CIR` e lo salviamo con nome `limitatoretensione.CIR`.

Aggiungiamo al circuito un diodo Zener inserendo il componente `Analog Primitives|Passive Components|Zener` e ponendolo in parallelo con il condensatore, rivolto verso l'alto. Si noti che il diodo Zener è un normale diodo, a parte la rappresentazione grafica: dobbiamo quindi impostare i parametri del modello per ottenere il comportamento desiderato, scegliendo per esempio `RS` pari a `1m` e `BV` pari a `3.5`, ovvero gli stessi valori usati per l'Es. 9. Modifichiamo il valore della resistenza di `R1` con `0.1`, ossia un valore più basso per rendere più rapida la variazione della tensione in uscita. Infine come ingresso scegliamo sotto `Pulse` un valore `V2` pari a `11`, con `TR` e `TF` pari a `200n`. Otteniamo quindi il circuito di Fig. 2.5.

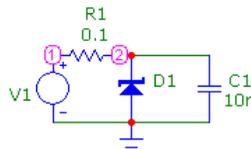


Figura 2.5: Un circuito che rappresenta un limitatore di tensione.

A questo punto scegliamo una analisi Transient in cui visualizziamo  $v(V1)$  e  $v(C1)$ , con `Y Range` pari a `12,-1,1`, nonchè  $i(D1)$  avente gruppo `P` pari a `2` ed `Y Range` impostato su `Auto`: la separazione in gruppi diversi ci permette di visualizzare contemporaneamente tensione e correnti nonostante le differenti scale di valori.

In Fig. 2.6 notiamo che il circuito, in cui l'uscita segue rapidamente l'ingresso fino ad un ingresso pari a circa  $4.5V$ , non è in grado di elevare la tensione d'uscita oltre un valore di circa  $4.7V \sim 4.8V$ , ovvero il valore di tensione di breakdown per correnti elevate riscontrabile in Fig. 2.4. In pratica, all'aumentare della tensione d'ingresso, la corrente inversa sul diodo aumenta: nel momento in cui la corrente raggiunge un valore apprezzabile si ha il breakdown, per il quale la tensione ai capi del diodo è quasi indipendente dal valore della corrente che lo attraversa.

### Esercizio 11: Raddrizzatore a semionda

Lo scopo di questo esercizio è mostrare il funzionamento di un tipico convertitore AC-DC, ovvero il raddrizzatore a semionda, nel quale è necessaria la presenza di un diodo. Come punto di partenza utilizziamo il circuito del file `diododiretta.CIR` e lo salviamo con nome `raddrizzatoresemionda.CIR`.

Anzitutto eliminiamo il ramo superiore, spostiamo verso sinistra il diodo (mantenendolo in diretta) ed inseriamo un resistore con resistenza  $5\Omega$  dove si trovava precedentemente il diodo.

Ora modifichiamo l'ingresso in maniera tale che sia sinusoidale: nelle proprietà di `V1` scegliamo la scheda `Sin` ed impostiamo come ampiezza della sinusoide `VA` un valore

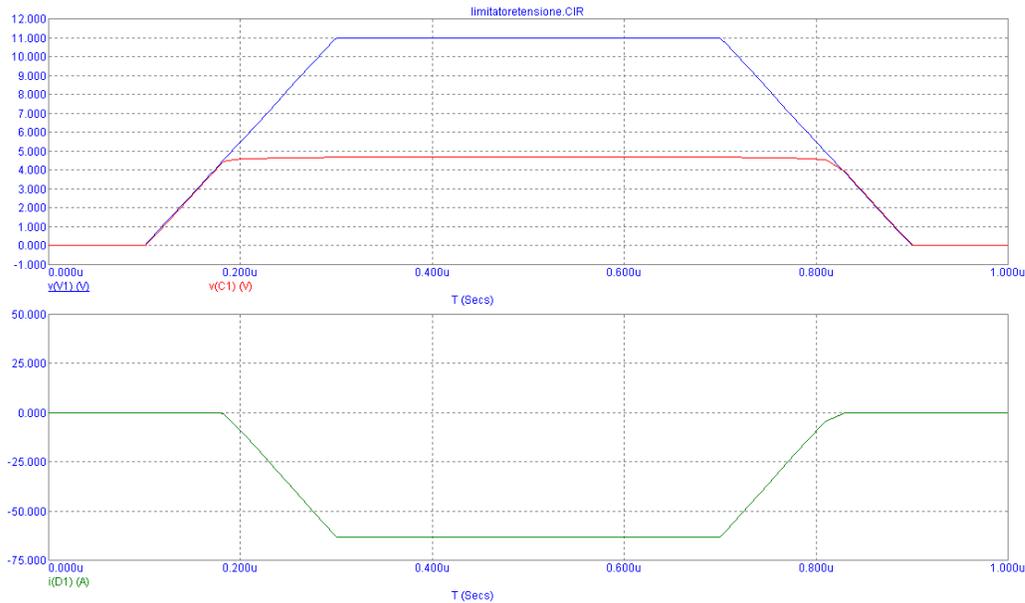


Figura 2.6: Risultato dell'analisi Transient del circuito di Fig. 2.5 per un ingresso trapezoidale.

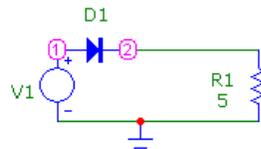


Figura 2.7: Un circuito che rappresenta un raddrizzatore a semionda semplice.

di  $5V$ , mentre come frequenza  $F0$  un valore di  $1Hz$ . Scegliamo nell'analisi Transient un Time Range pari a 1 secondo, impostando come segnali osservati  $v(V1)$ ,  $v(R1)$ ,  $v(D1)$  e  $i(D1)$  con X Range in Auto e Y Range pari a  $5.5, -5.5, .5$ .

In Fig. 2.8 è possibile notare anzitutto il comportamento in diretta, per il quale è necessaria una differenza di tensione pari alla tensione di soglia affinché scorra corrente nel circuito e conseguentemente si abbia caduta resistiva ai capi di  $R1$ . In inversa invece la corrente negativa è così bassa da rendere la tensione  $v(2)$  negativa ma praticamente nulla. La differenza di tensione ai capi del diodo segue la tensione di ingresso qualora il diodo non conduca: questo è dovuto al fatto che in assenza di corrente la caduta di tensione su  $R1$  è nulla e dunque  $v(2)$  equivale a massa.

Possiamo effettuare una analisi delle potenze coinvolte in questo circuito, visualizzando il prodotto  $v()*i()$  per i componenti  $V1$ ,  $R1$  e  $D1$ ; in aggiunta manteniamo la visualizzazione di  $v(1)$  come riferimento per il segnale d'ingresso.

Dalla Fig. 2.9 notiamo che il generatore fornisce potenza solamente nel tratto positivo della tensione di ingresso, poichè in quello negativo si può immaginare che il diodo funga da lato aperto virtuale e dunque il circuito sia scollegato e completamente inerte. Notiamo che la potenza generata da  $V1$  viene ripartita fra  $R1$  e  $D1$ , con predominanza della prima a causa della maggiore resistenza di  $R1$  rispetto alla resistenza serie  $RS$  del diodo.

Il circuito appena studiato diventa più interessante qualora si introduca un condensatore  $C1$  in serie al resistore e si osservi la tensione ai capi di  $C1$ . Modifichiamo

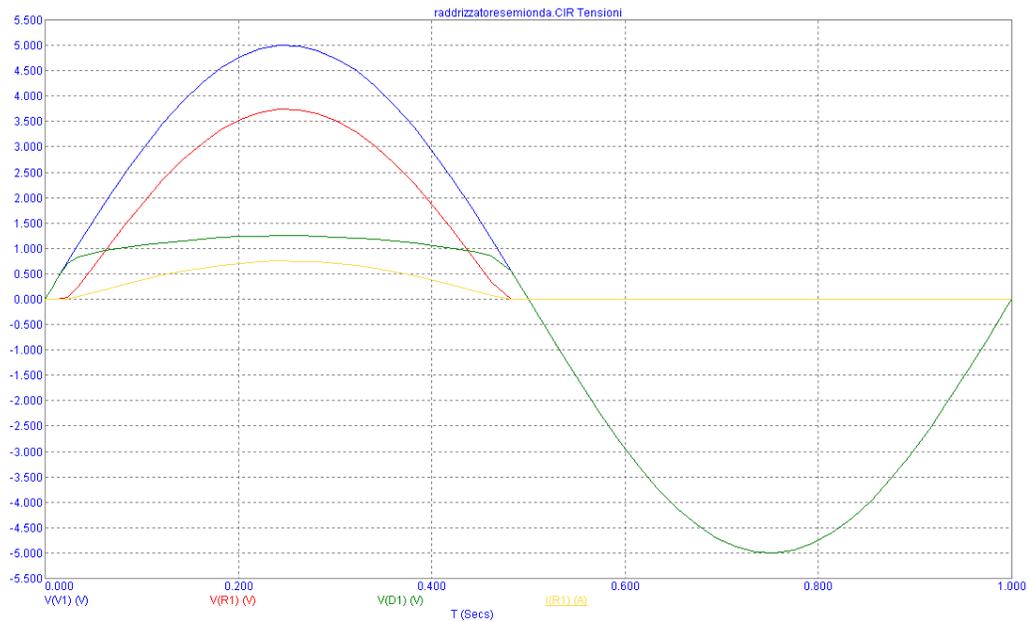


Figura 2.8: Risultato dell'analisi Transient del circuito di Fig. 2.7 relativo ad un raddrizzatore a semionda semplice.

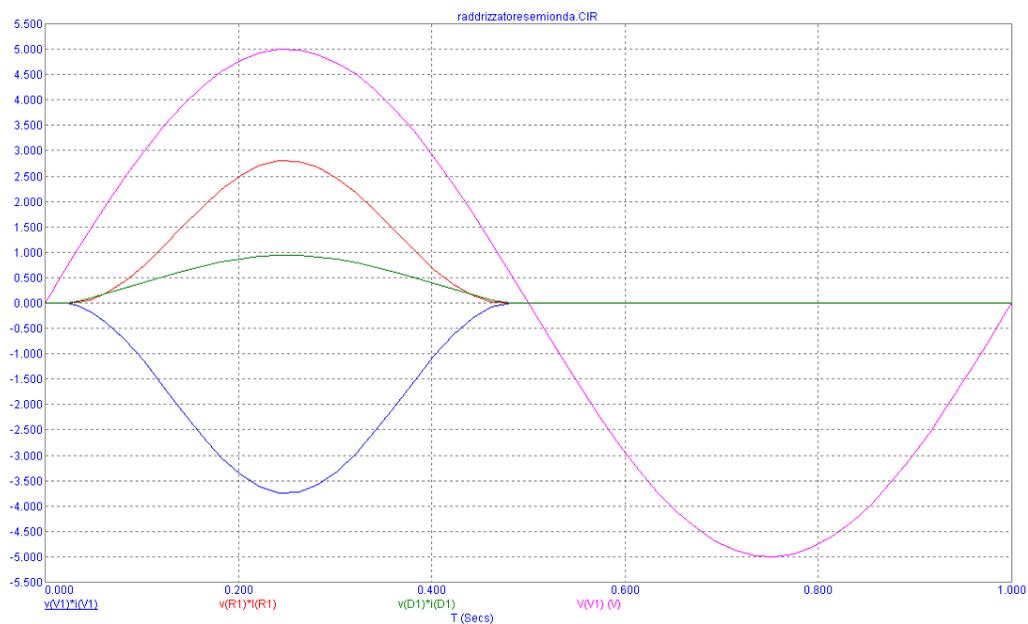


Figura 2.9: Risultato dell'analisi Transient del circuito di Fig. 2.7, con visualizzazione delle potenze dei bipoli.

di conseguenza il circuito, ottenendo il risultato di Fig. 2.10 in cui la capacità è stata scelta pari a  $10nF$ .

Per l'analisi Transient questa volta scegliamo un Time Range pari a 3 secondi ed impostiamo il Maximum Time Step pari a .001 in maniera da effettuare una simulazione

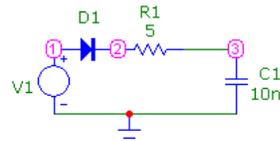


Figura 2.10: Un circuito che rappresenta un raddrizzatore a semionda capacitivo.

precisa della traiettoria dei segnali nel tempo. Come variabili da osservare scegliamo  $v(V1)$ ,  $v(C1)$ ,  $v(R1)$  e  $v(D1)$ , lasciando **X Range** in **Auto** mentre per **Y Range** scegliamo **6, -10, 1**. In Fig. 2.11 vediamo un comportamento decisamente differente rispetto a quello visto in Fig. 2.8. In particolare, vediamo che nella prima fase  $v(3)$  approssimativamente segue  $v(1)$  con una dinamica da carica di condensatore; nel momento in cui la differenza di tensione ai capi del diodo diventa inferiore alla soglia, tra il generatore e la serie R1-C1 scorre una corrente negativa trascurabile, dovuta al condensatore C1 che si scarica attraverso la serie diodo-resistore fino al momento in cui  $v(D1)$  non ritorna sopra la tensione di soglia.

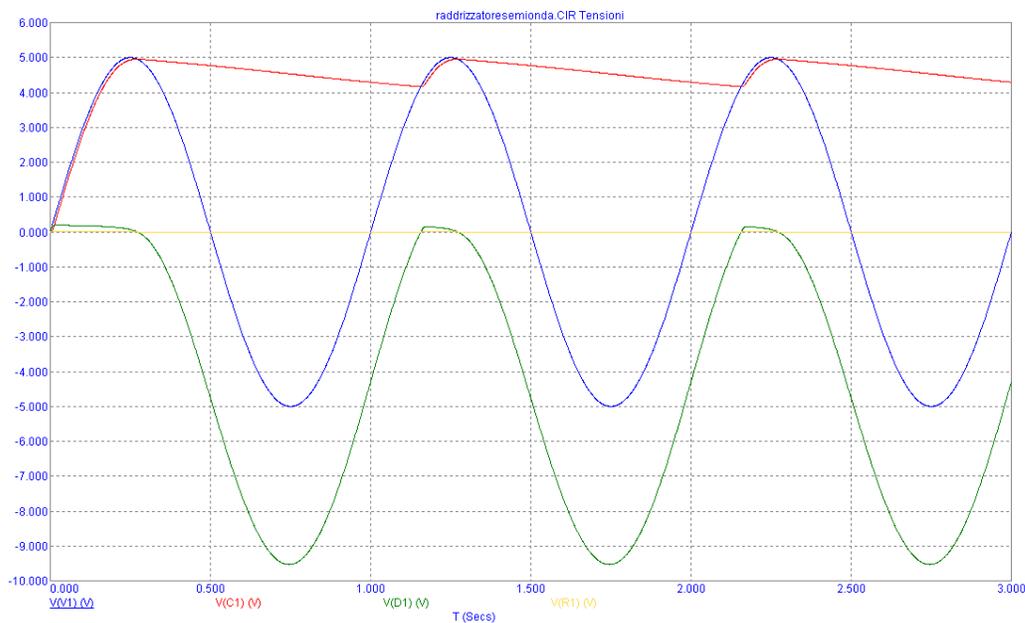


Figura 2.11: Risultato dell'analisi Transient del circuito di Fig. 2.10 relativo ad un raddrizzatore a semionda capacitivo.

Particolare attenzione va prestata al fatto che la differenza di tensione ai capi di R1 è trascurabile (vedere Fig. 2.12): questo poichè per bassi valori di  $v(D1)$  il diodo presenta alta resistenza e dunque per la legge del partitore resistivo di tensione di Eq. (1.10) la maggior caduta di tensione si ha ai capi di D1. In poche parole, il diodo inizia a condurre non appena  $v(D1)$  è maggiore di zero, ma la conduzione fa sì che il condensatore si carichi ed ostacoli l'incremento di  $v(D1)$  stesso: la combinazione di questi due effetti fa sì che la tensione ai capi del diodo rimanga sempre piccola. Ne consegue che in questa situazione il resistore può anche essere rimosso senza modificare sensibilmente il comportamento del circuito.

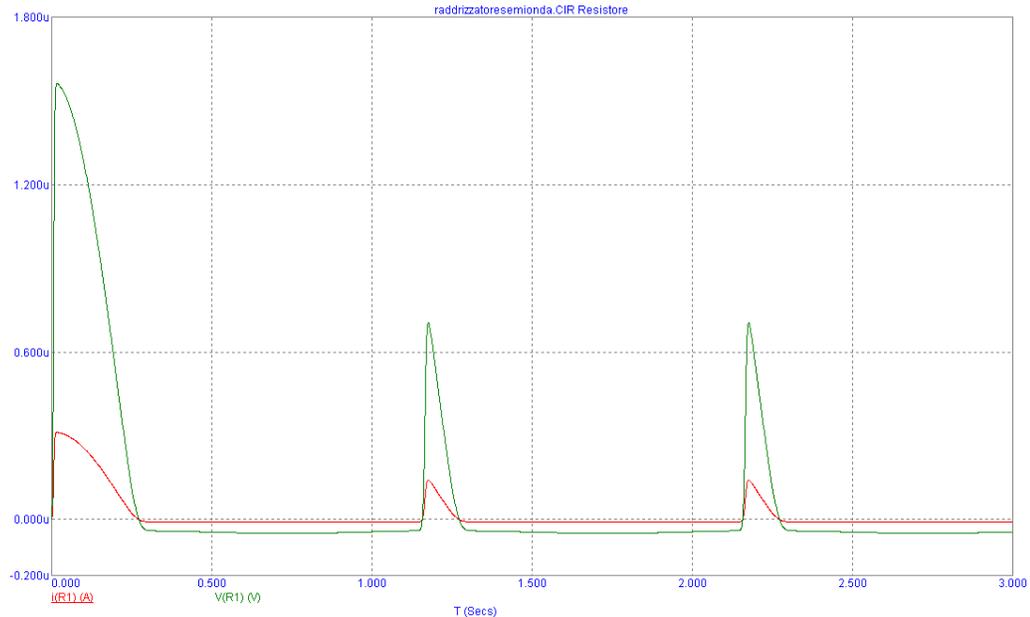


Figura 2.12: Risultato dell'analisi Transient del circuito di Fig. 2.10, con visualizzazione di corrente e differenza di tensione del resistore.

E' possibile visualizzare lo scambio energetico osservando la potenza che viene impegnata nel circuito: modifichiamo leggermente l'analisi Transient introducendo i prodotti  $v() \cdot i()$  per ognuno dei quattro bipoli (ossia includiamo R1), inoltre aggiungiamo l'osservazione di  $v(V1) \cdot .16e-6$ , ovvero una versione opportunamente scalata di V1 in modo tale da avere un riferimento preciso dell'andamento dell'ingresso. Come X Range scegliamo 3,0, .5 e come Y Range usiamo  $.8e-6, -.8e-6, .1e-6$ .

Notiamo dalla Fig. 2.13 che a regime, cioè dopo il primo ciclo, la potenza fornita dal generatore (vedere il picco blu negativo) viene perlopiù assorbita da C1, con una piccola parte dissipata su D1. Nel momento in cui è il condensatore a fornire potenza al circuito (all'incirca in corrispondenza del picco positivo del segnale d'ingresso), questa principalmente si dissipa sul diodo ed in parte viene riassorbita dal generatore, dopodichè (nella fase negativa del segnale d'ingresso) sia V1 che C1 forniscono potenza dissipata su D1. Si noti infine che la potenza dissipata su R1 è trascurabile confrontata con la potenza dissipata sul diodo.

Questo esempio ci ha mostrato come le perdite resistive su un diodo in questo caso siano principalmente dovute al suo funzionamento in inversa, differentemente dal caso di Fig. 2.9 dove la fase negativa del segnale non comportava dei trasferimenti di potenza apprezzabili. Il motivo è che il condensatore funge da generatore addizionale, imponendo al circuito di presentare una corrente inversa sufficiente da dissipare l'energia immagazzinata nel condensatore stesso.

### Esercizio 12: Raddrizzatore ad onda intera

In questo esercizio estendiamo i risultati dell'Es. 11 in maniera allo scopo di sfruttare anche la fase discendente del segnale di ingresso. Per fare questo introduciamo un ulteriore generatore V2 e diodo D2 (con stesse proprietà di V1 e D1, rispettivamente), connet-

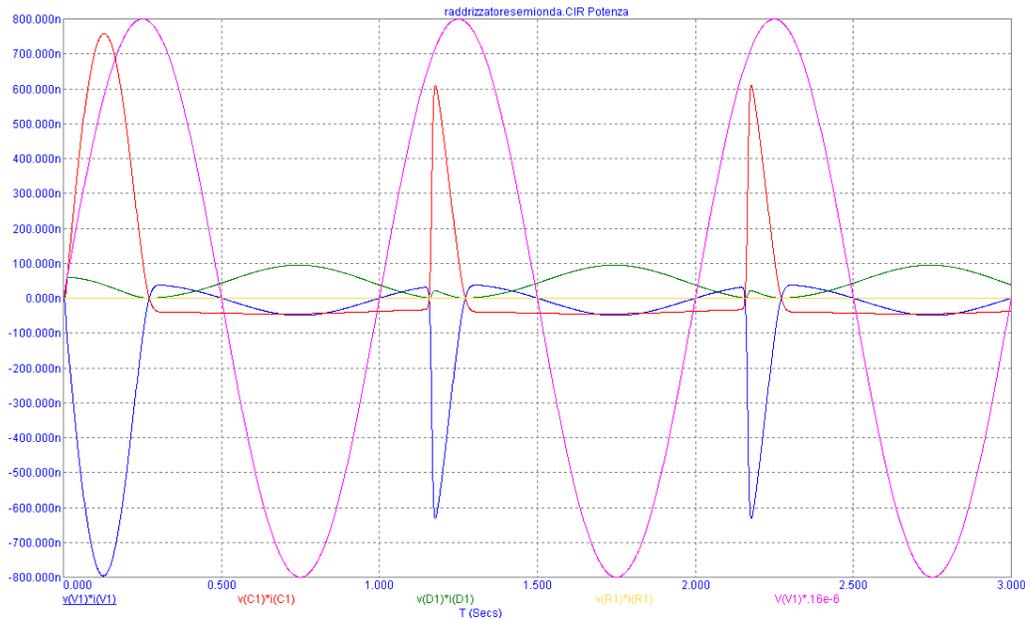


Figura 2.13: Risultato dell'analisi Transient del circuito di Fig. 2.10, con visualizzazione delle potenze dei bipoli.

tendoli in parallelo alla serie del resistore e condensatore, come mostrato in Fig. 2.14. Assicurarsi che i poli positivi di R1 e C1 siano rivolti verso destra.

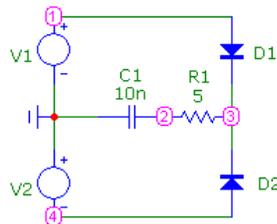


Figura 2.14: Un circuito che rappresenta un raddrizzatore ad onda intera.

Il ri-arrangiamento dei componenti è stato scelto appositamente per individuare con chiarezza la simmetria del circuito rispetto ai due generatore V1 e V2. In particolare, il diodo D2 consente alla corrente sul suo ramo di scorrere solo quando la differenza di tensione ai capi di V2 è negativa. Ciò implica che il condensatore può caricarsi sia nella fase di salita di V1 che in quella di discesa di V2. Verifichiamo questo comportamento effettuando una analisi Transient in cui osserviamo  $v(V1)$ ,  $-v(V2)$  e  $v(C1)$  nel gruppo 1, mentre  $v(R1)$  e  $i(R1)$  verranno visualizzati nel gruppo 2.

Come è possibile notare dalla Fig. 2.15, il comportamento è simile a quello mostrato nelle Fig. 2.11-2.13, dove tuttavia la tensione di uscita segue anche la salita di  $-v(V2)$ , ovvero la discesa di  $v(V2)$ : il risultato è una oscillazione della tensione ai capi di C1 che presenta frequenza doppia ed ampiezza minore rispetto al caso a semionda. Per quanto riguarda il comportamento in potenza, in pagina *Potenza* vogliamo visualizzare  $v(V1)*i(V1)$ ,  $v(V2)*i(V2)$ ,  $v(C1)*i(C1)$ ,  $v(D1)*i(D1)$  e  $v(D2)*i(D2)$ , scegliendo come Y Range il valore `.8u, -.85u, .2u`.

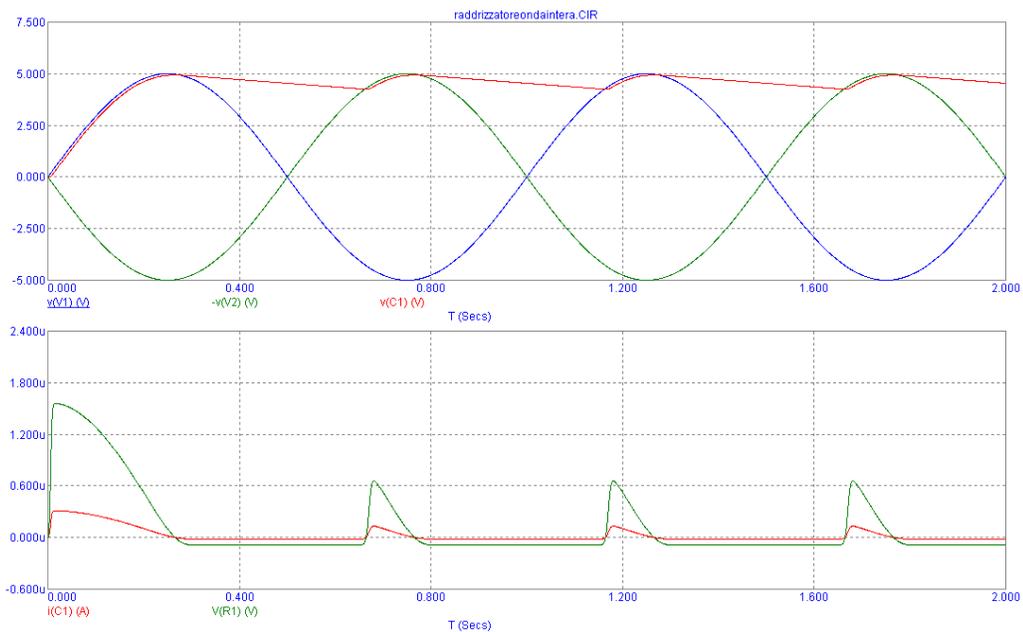


Figura 2.15: Risultato dell'analisi Transient del circuito di Fig. 2.14 relativo ad un raddrizzatore ad onda intera.

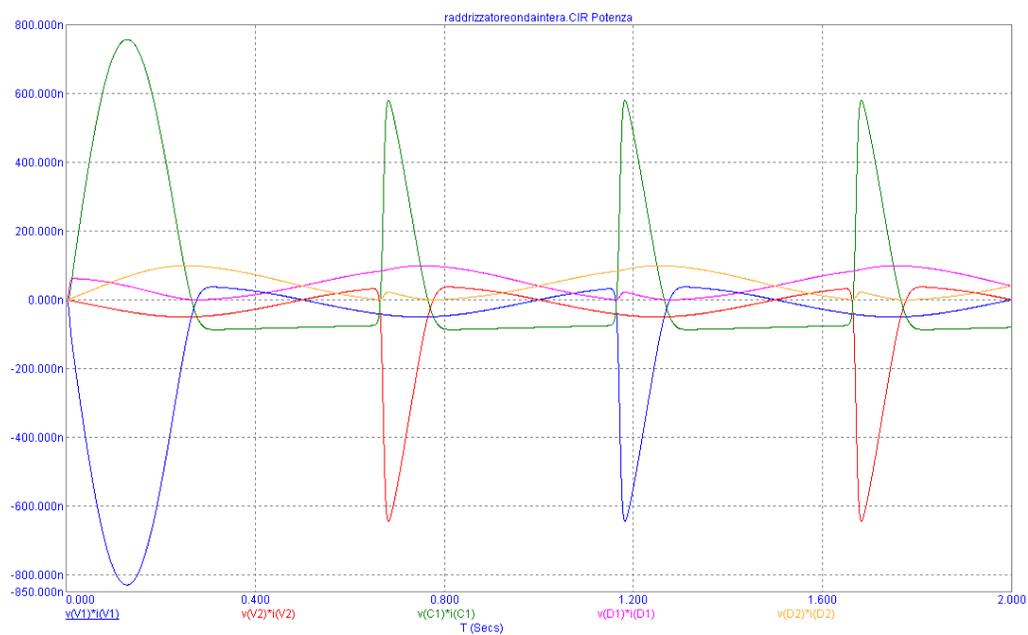


Figura 2.16: Risultato dell'analisi Transient del circuito di Fig. 2.14 con visualizzazione delle potenze dei bipoli.

In Fig. 2.16 vediamo il risultato, anche in questo caso del tutto analogo a quello di Fig. 2.12: le differenze principali si riscontrano sul condensatore, che assorbe una potenza lievemente minore e la eroga in un intervallo di tempo quasi dimezzato: ne consegue che la potenza (negativa) del condensatore è quasi il doppio del caso a singola semionda.

Si noti che la potenza assorbita lievemente minore di  $C_1$  è dovuta alle oscillazioni più contenute di  $v(C_1)$ , mentre la potenza “rimanente” erogata da un generatore ricade necessariamente sul diodo correntemente in polarizzazione inversa.

## Capitolo 3

# MOSFET

In questo capitolo prenderemo in considerazione i transistor ad effetto di campo basati su giunzione metallo-ossido-semiconduttore (MOSFET, d'ora in poi abbreviato in MOS), fondamentali per la comprensione dei circuiti logici moderni. I MOS sono dei *quadripoli*, in quanto presentano 4 terminali distinti chiamati *gate* G, *source* S, *drain* D e *bulk* B. Questo significa che vi è ampia libertà di scelta per le porte di ingresso e uscita di un MOS, dipendentemente dalla funzione richiesta dal componente. Tuttavia anticipiamo che nelle esercitazioni seguenti tratteremo il MOS come un tripolo, facendo la comune assunzione di collegare il terminale di bulk a quello di source.

Un MOS in generale è considerato un dispositivo attivo, in quanto la potenza relativa alla porta d'uscita può essere maggiore della potenza relativa alla porta d'ingresso; inoltre è un dispositivo prettamente non lineare.

Distinguiamo due classi principali di dispositivi MOS, gli nMOS ed i pMOS: la differenza principale fra tali due classi risiede nel fatto che un nMOS consente la conduzione fra source e drain nel caso in cui la differenza di tensione tra gate e source sia positiva, mentre per un pMOS tale differenza di tensione deve essere negativa.

Nella prossima Sezione analizzeremo il comportamento statico di un nMOS, seguito da quello di un pMOS. Dopodichè, nella Sezione successiva, andremo a studiare il comportamento dinamico in alcune configurazioni comuni.

### 3.1 Comportamento statico

Il funzionamento statico ideale di un transistor MOS è quello di non condurre corrente fra drain e source finchè la differenza di tensione fra gate e source è bassa, ovvero di fornire una resistenza infinita fra drain e source; quando la differenza di tensione fra gate e source è elevata, invece, il transistor dovrebbe fornire una resistenza nulla. Vedremo nei successivi esercizi il comportamento “reale” nel caso di nMOS e pMOS.

#### **Esercizio 13:** *Caratteristica di uscita di un nMOS*

In questo esercizio ci concentriamo sull'nMOS, di cui vogliamo vedere il comportamento della corrente da drain a source  $i_{DS}$  in funzione della differenza di tensione tra gate e source  $v_{GS}$  e della differenza di tensione fra drain e source  $v_{DS}$ .

Creiamo un nuovo file chiamato `nmos.CIR`, in cui istanziamo un transistor nMOS attraverso `Analog Primitives|Active Devices|NMOS`. Come nel caso del diodo, dobbiamo scegliere un modello che andrà a definire l'insieme di parametri che caratterizzano

il componente: utilizziamo `$GENERIC_N` con i parametri predefiniti. Ruotiamo il componente in maniera tale da orientare il gate verso sinistra, dopodichè colleghiamo il source<sup>1</sup> al bulk. A questo punto introduciamo due generatori di tensione, che chiamiamo rispettivamente  $V_{gs}$  e  $V_{ds}$ , i cui valori di tensione non è necessario specificare poichè ignorati nell'analisi DC. Colleghiamo il terminale positivo di  $V_{gs}$  al gate, mentre il terminale negativo ad un riferimento di massa; per quanto riguarda  $V_{ds}$ , colleghiamo il suo terminale positivo al drain ed il terminale negativo al source. Infine introduciamo un secondo riferimento di massa che colleghiamo al source: si noti come tutti i riferimenti di massa rappresentino un unico nodo di tensione, con la conseguenza che possiamo evitare di introdurre scomode interconnessioni per chiudere esplicitamente le maglie; poichè sia il source che il terminale negativo di  $V_{gs}$  sono collegati a massa, il generatore  $V_{gs}$  di fatto è applicato fra gate e source del transistor.

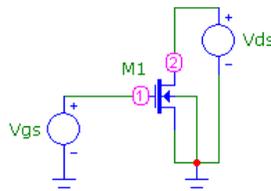


Figura 3.1: Un circuito che rappresenta un nMOS con differenze di tensioni imposte da generatori.

In Figura 3.1 possiamo riscontrare il fatto che esistano solamente tre nodi, dal punto di vista del transistor corrispondenti a source, gate e drain.

Per questo circuito vogliamo effettuare una prima analisi DC in cui scegliamo come ingresso  $V_{gs}$  con `Range` pari a `12,0,.1`. Introduciamo poi un secondo ingresso, andando sotto `Variable 2` e scegliendo sotto `Method` il valore `Linear`, come `Name` il valore  $V_{ds}$  e come `Range` l'intervallo `5,0,.5`. Questa opzione è possibile in quanto disponiamo di 2 generatori e siamo perciò in grado di visualizzare le curve in  $V_{gs}$  parametrizzate secondo  $V_{ds}$ . Come variabile osservata scegliamo `-i(Vds)` in vece di  $i_{DS}$ : a causa del fatto che l'nMOS non è un bipolo, non siamo in grado di esprimere le differenze di tensione fra i suoi poli o le correnti entranti in un particolare polo, così dobbiamo necessariamente riferirle ad una combinazione di bipoli del circuito. Infine come `Y Range` utilizziamo `11,-1,1`.

Il risultato di Fig. 3.2 mostra l'andamento crescente della corrente che attraversa il canale del transistor all'aumentare della differenza di tensione fra drain e source. A prescindere dalla scelta di  $v_{DS}$ , notiamo che la corrente per bassi valori di  $v_{GS}$  è praticamente nulla, per poi salire rapidamente una volta superata la tensione di soglia del transistor. Un'altra visualizzazione che possiamo effettuare richiede di invertire  $V_{gs}$  e  $V_{ds}$  all'interno della regione `Sweep`; in questo caso però limitiamo per motivi grafici il `Range` di  $V_{gs}$  e  $V_{ds}$  a `5,0,.1`, scegliendo inoltre come `Y Range` l'intervallo `1.5,-.1,.1`.

Per quanto riguarda la Figura 3.3, vediamo chiaramente che la corrente cresce pressochè linearmente per valori di  $v_{DS}$  tanto più bassi quanto bassa è  $v_{GS}$ : questo significa che il transistor opera nella regione di *triode* (o lineare, appunto), data indicativamente dalla condizione  $v_{DS} \ll v_{GS}$ . In questa regione è possibile trattare il percorso conduttivo fra drain e source come un resistore di resistenza pari al rapporto fra  $v_{DS}$  ed  $i_{DS}$ . Qualora invece si abbia  $v_{DS} \gg v_{GS}$ , il transistor opera in regione di *saturazione* nella quale fornisce una corrente quasi costante (la pendenza è dovuta all'effetto di modu-

<sup>1</sup>Per un nMOS con la presente orientazione, il source è rappresentato dal terminale inferiore.

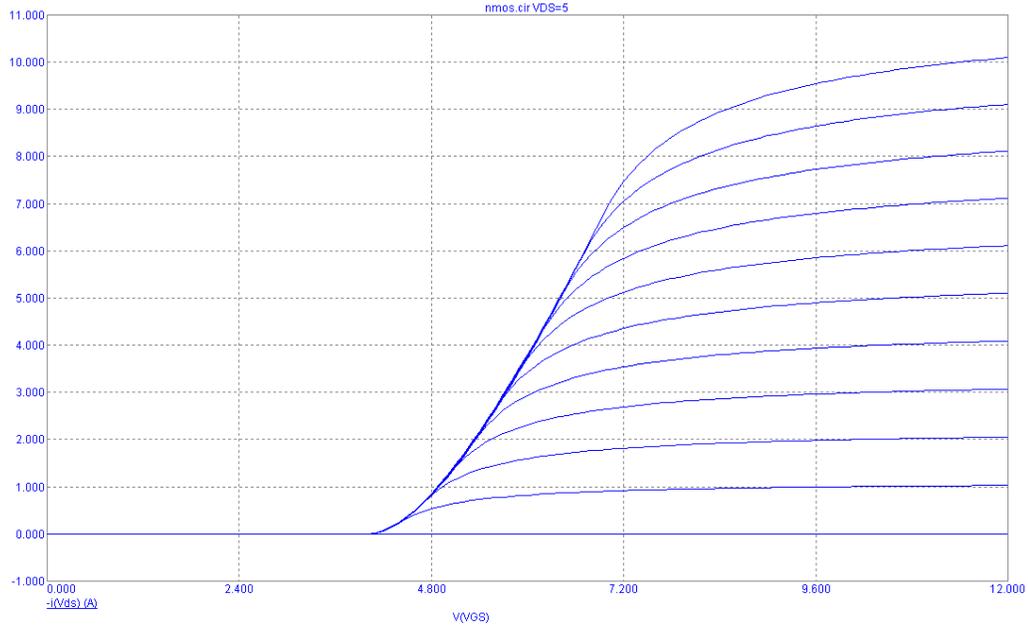


Figura 3.2: Risultato dell'analisi DC del circuito di Fig. 3.1 relativo ad un nMOS, in funzione di  $v_{GS}$  e parametrizzato secondo  $v_{DS}$ .

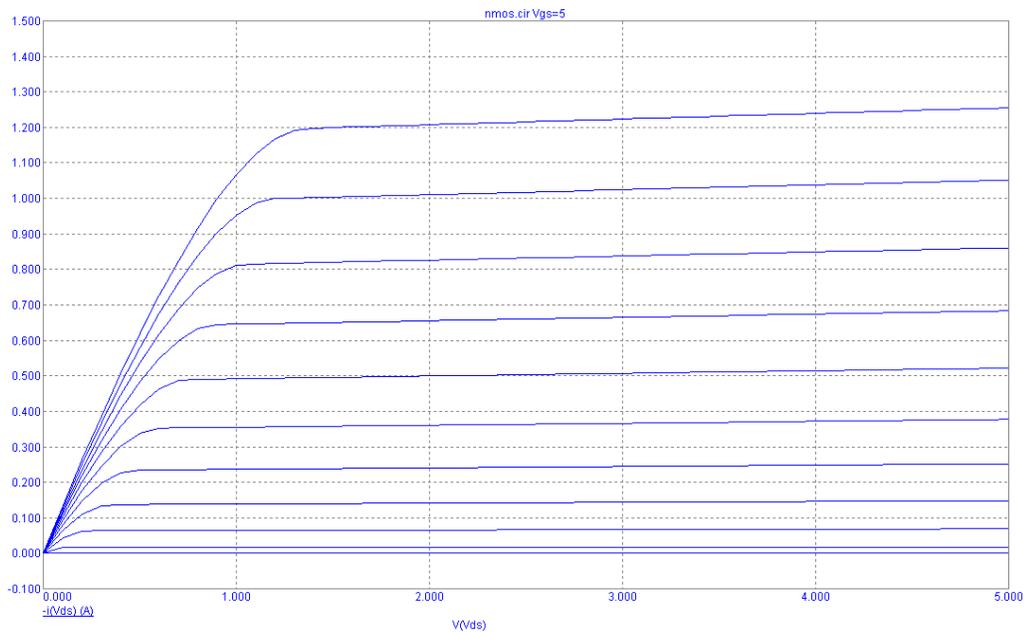


Figura 3.3: Risultato dell'analisi DC del circuito di Fig. 3.1 relativo ad un nMOS, in funzione di  $v_{DS}$  e parametrizzato secondo  $v_{GS}$ .

lazione di canale) e può essere perciò assimilato ad un generatore di corrente *dipendente*<sup>2</sup> dalla tensione  $v_{GS}$ . Sebbene la teoria preveda che regioni di triodo e saturazione siano

<sup>2</sup>Non tratteremo i generatori dipendenti in dettaglio: basti sapere che rappresentano dei generatori le cui grandezze fornite dipendono da un'altra grandezza del circuito.

separate dalla condizione  $v_{DS} = v_{GS} - V_T$ , dove  $V_T$  è la tensione di soglia del transistor, è evidente dalla Fig. 3.3 come nella regione intermedia non sia possibile semplificare accuratamente il transistor nè con un resistore nè con un generatore di corrente.

#### Esercizio 14: Caratteristica di uscita di un pMOS

Questo esercizio replica i risultati dell'Es. 13 concentrandosi su un transistor pMOS.

Salviamo il precedente file con nome `pmos.CIR` ed eliminiamo il componente nMOS per sostituirlo con `Analog Primitives|Active Devices|PMOS`; in questo caso utilizzeremo come modello `$GENERIC_P` con i parametri predefiniti. Ruotiamo il componente in maniera tale da orientare il gate verso sinistra, dopodichè colleghiamo il source<sup>3</sup> al bulk; si noti come un nMOS ed un pMOS dal punto di vista grafico differiscano unicamente per il verso della freccia relativa al terminale di bulk. A questo punto ruotiamo di  $180^\circ$  i due generatori di tensione, collegando il terminale negativo di  $V_{gs}$  al gate e quello negativo al source del transistor, mentre per quanto riguarda  $V_{ds}$  dobbiamo semplicemente ricollegarlo rovesciato, ottenendo come risultato la Figura 3.4 che rappresenta il corrispondente della Fig. 3.1 per l'esercizio precedente.

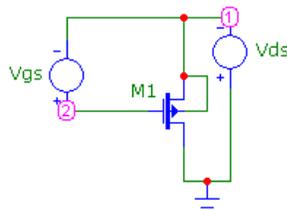


Figura 3.4: Un circuito che rappresenta un pMOS con differenze di tensioni imposte da generatori.

Anche per questo circuito vogliamo effettuare una analisi DC in cui scegliamo come ingressi  $V_{gs}$  con intervallo  $0, -12, .1$  e  $V_{ds}$  con intervallo  $0, -5, .5$ , mentre come `Y Range` utilizziamo nuovamente  $11, -1, 1$ ; infine in questo caso osserviamo il segnale  $i(V_{ds})$ .

In Fig. 3.5 otteniamo un risultato inatteso: avendo scelto dei valori per i generatori speculari a quelli dell'esercizio precedente, ci saremmo aspettati di ottenere un grafico speculare in ascissa rispetto alla Fig. 3.2. Il motivo della discrepanza risiede semplicemente nel modello: il modello predefinito per un pMOS differisce da quello predefinito per un nMOS<sup>4</sup>. Se vogliamo ottenere la specularità dobbiamo imporre identici parametri statici, in particolare nel nostro caso dobbiamo rendere uguali la resistenza della regione di source  $R_S$ , la resistenza della regione di drain  $R_D$ , il coefficiente di modulazione di canale  $LAMBDA$  e lo spessore del gate (equivalentemente, del canale sottostante)  $W$ . Scegliamo  $R_S$  pari a  $300m$ ,  $R_D$  pari a  $150m$ ,  $LAMBDA$  pari a  $20m$  e  $W$  pari a  $350m$ . Non mostriamo la figura aggiornata e passiamo piuttosto alla visualizzazione in funzione di  $v_{DS}$ , scegliendo come primo ingresso  $V_{ds}$  e come secondo ingresso  $V_{gs}$ , con intervallo  $0, -5, .1$  per entrambi, mentre `Y Range` è pari a  $1.5, -.1, .1$ .

Ovviamente anche per quanto riguarda la Fig. 3.6 possiamo riscontrare che l'andamento è speculare in ascissa rispetto alla Fig. 3.3.

<sup>3</sup>Per un pMOS con la presente orientazione, il source è rappresentato dal terminale superiore.

<sup>4</sup>Entrambi i modelli non sono comunque da considerarsi realistici, per cui i valori predefiniti dei parametri sono scelti in maniera tale da privilegiare la semplicità dell'analisi.

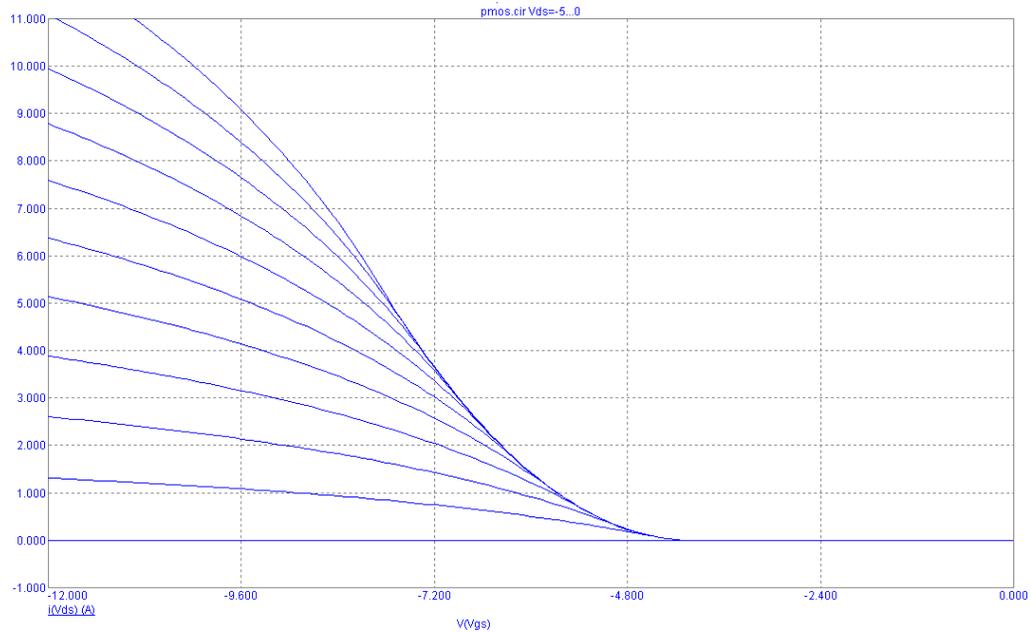


Figura 3.5: Risultato dell'analisi DC del circuito di Fig. 3.4 relativo ad un pMOS, in funzione di  $v_{GS}$  e parametrizzato secondo  $v_{DS}$ .

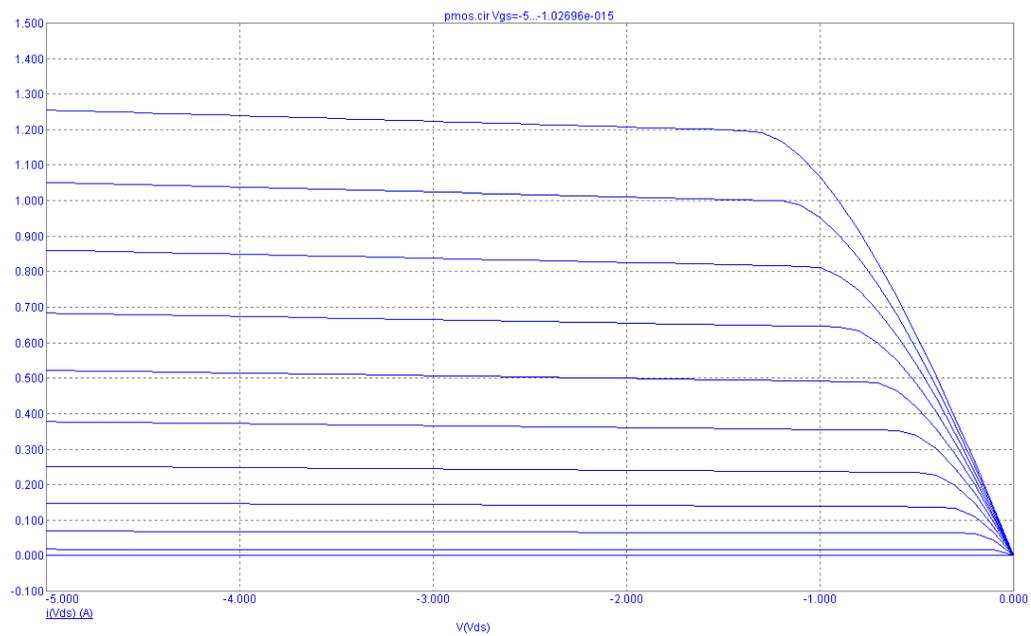


Figura 3.6: Risultato dell'analisi DC del circuito di Fig. 3.4 relativo ad un pMOS (con parametri di modello equalizzati rispetto all'nMOS di Fig. 3.3), in funzione di  $v_{DS}$  e parametrizzato secondo  $v_{GS}$ .

### 3.2 Comportamento dinamico

Il funzionamento dinamico ideale di un dispositivo MOS usato come interruttore digitale prevede, a fronte del passaggio di  $v_{GS}$  dal valore alto al valore basso (o viceversa), una variazione istantanea di  $i_{DS}$  da zero al valore massimo consentito dal circuito (o viceversa). Tuttavia un interruttore reale MOS necessariamente presenta delle capacità fra regioni limitrofe del dispositivo, le quali come sappiamo impediscono alle variazioni di tensioni di propagarsi in tempo nullo, nonchè delle induttanze all'interno di una specifica regione, che analogamente limitano le variazioni di corrente.

Nell'esercizio seguente analizzeremo le proprietà dinamiche di un dispositivo MOS, tuttavia non considereremo le caratteristiche induttive/capacitive del MOS, introducendo piuttosto componenti induttive/capacitive esterne attraverso opportuni bipoli induttore/condensatore.

#### Esercizio 15: *Dinamica di un nMOS*

Creiamo un nuovo file con nome `nmosdinamico.CIR` in cui inseriamo un nMOS in cui azzeriamo i parametri `CBD`, `CBS`, `CGDO` e `CGSO`. Colleghiamo il suo bulk al source ed il source a massa, dopodichè inseriamo un generatore di tensione chiamato `Vgs` collegato tra gate e massa: per esso scegliamo un segnale `Pulse`, con `TR,TF` e `TD` pari a `10n`, `PW` pari a `50n` e `PER` di `100n`. Infine inseriamo un generatore di tensione *costante* in `Analog Primitives|Waveform Sources|Battery`: la differenza consiste nel fatto che questo generatore non rappresenta un segnale di ingresso e di conseguenza è costante; in generale utilizzeremo batterie per tutte le cosiddette “tensioni di alimentazione”, tipiche dei dispositivi attivi. Chiamiamo il generatore `Vdd` e scegliamo `5V` come valore di alimentazione e collegiamo il drain al terminale positivo della batteria, mentre il terminale negativo viene collegato a massa: in questo modo il transistor si dice alimentato fra `5V` e `0V`. Il motivo per cui chiamiamo la batteria `Vdd` è per rimarcare il fatto che essa alimenta il drain, ma non necessariamente è collegata direttamente al relativo terminale: per questo esempio la batteria è collegata fra drain e source, ma per circuiti più complessi possiamo incontrare bipoli addizionali collegati tra massa e source, oppure fra drain e `Vdd`.

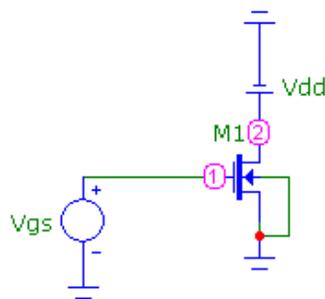


Figura 3.7: Il circuito di partenza per verificare la dinamica di un nMOS.

In Figura 3.7 vediamo il circuito risultante, il quale è estremamente essenziale al punto da non presentare alcun resistore: le caratteristiche resistive si concentrano nel transistor, come possiamo notare da una semplice analisi `Transient`. Per tale analisi scegliamo di visualizzare  $v(Vgs)$  nonchè l'unica grandezza di interesse,  $-i(Vdd)$ , che corrisponde alla  $i_{DS}$  del nMOS. Come `Time Range` utilizziamo `100n`, come `Maximum Time Step` scegliamo `1e-11` mentre come `Y Range` ed `X Range` lasciamo `AutoAlways`. Se effettuiamo una analisi con questi valori osserviamo che la corrente inizia a crescere

nel momento in cui la differenza di tensione fra gate e source raggiunge 4 V, ovvero la tensione di soglia data dal parametro  $V_{T0}$  del transistor. Si noti che poichè vale  $v_{GS} < v_{DS} + V_T$ , il transistor opera sempre in saturazione. Per consentire al transistor di passare in regione lineare dovremmo scegliere una  $V_{T0}$  più bassa ed un valore di tensione del generatore Vdd inferiore a  $5 - V_T$ .

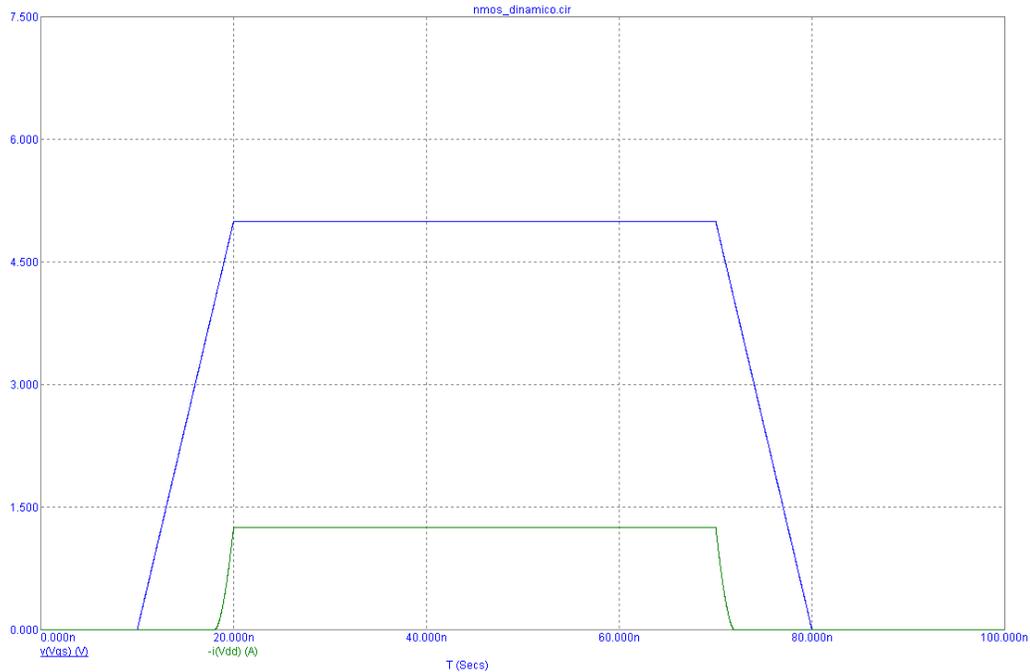


Figura 3.8: Risultato dell'analisi Transient del circuito di Fig. 3.7 relativo ad un nMOS con dinamica d'ingresso.

### 3.3 Inverter MOS

In questa Sezione prenderemo in considerazione la funzione di invertitore logico, per la quale una differenza di tensione di ingresso elevata viene convertita in una differenza di tensione d'uscita bassa e viceversa. L'inverter può essere considerato il circuito logico più semplice realizzabile in tecnologia MOS ed è per questa ragione utilizzato come banco di prova per valutare le prestazioni di un particolare processo produttivo.

Prima di passare agli Esercizi è utile introdurre delle utili definizioni relative alle sottoreti di un circuito logico, con particolare riferimento all'invertitore:

- rete di *pull-up*: la sottorete di un circuito logico che si occupa di innalzare la tensione d'uscita;
- rete di *pull-down*: la sottorete di un circuito logico che si occupa di abbassare la tensione d'uscita;
- il carico, o stadio di uscita, ovvero la rete connessa al nodo d'uscita.

Le reti di pull-up/pull-down sono importanti in quanto determinano la velocità con cui i segnali passano dal valore alto al valore basso, di conseguenza introducendo un limite superiore alla

frequenza operativa di un circuito logico sincrono. Il carico è altrettanto importante per la stessa ragione, in quanto la velocità delle reti di pull-up/pull-down dipende comunque da come lo stadio di uscita reagisce alle variazioni di corrente e tensione.

### Esercizio 16: *Inverter nMOS*

Salviamo il file `nmosdinamico.CIR` con nome `inverternmos.CIR`, dopodichè introduciamo un condensatore di 1 nF fra drain e source, nonchè un resistore di 5  $\Omega$  tra Vdd e drain. Il motivo del secondo componente è permettere alla tensione di drain di variare, in quanto il collegamento di un condensatore fra due terminali la cui differenza di tensione è costante non avrebbe alcun effetto sul circuito. Oltretutto questa configurazione restituisce un invertitore in tensione qualora scegliamo come ingresso  $v_{GS}$  e come uscita  $v_{DS}$ . Inoltre per questo Esercizio adottiamo per semplicità una variazione istantanea dell'ingresso, perciò scegliamo per  $V_{gs}$  un valore nullo dei parametri TR e TF.

Se consideriamo come funzione l'inversione del segnale logico di ingresso in un segnale logico di uscita, possiamo immaginare la parte tratteggiata di circuito di Fig. 3.9 come un doppio bipolo, in cui la porta d'ingresso è fra gate e massa, e la porta d'uscita è fra drain e massa. Lo stadio di ingresso è dato dal generatore  $V_{gs}$ , la rete di pull-up è data da R1, la rete di pull-down da M1, mentre lo stadio di uscita è dato dal condensatore C1.

Nel nostro caso di Fig. 3.9, la rete di pull-up è sempre attiva ed opera al fine di innalzare la tensione ad un valore limite pari a  $V_{dd} - i(R1) \cdot R1$ , dove  $i(R1)$  dipende dal carico e dalla rete di pull-down. La rete di pull-down invece consente alla corrente di fluire nel momento in cui la tensione di ingresso è alta, nel nostro caso scaricando il condensatore; quando la tensione di ingresso è bassa il transistor idealmente si comporta come un lato aperto, lasciando libero il pull-up di caricare il condensatore.

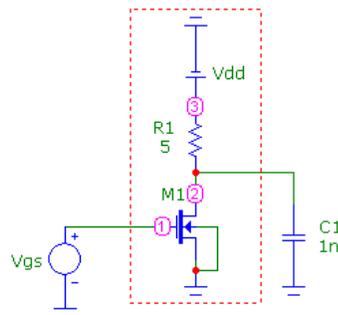


Figura 3.9: Il circuito di un inverter nMOS con carico capacitivo e pull-up resistivo.

Se effettuiamo una analisi Transient con `Maximum Time Step` pari a  $1e-11$  in cui osserviamo in un gruppo le variabili  $v(V_{gs})$  e  $v(C1)$ , mentre nell'altro gruppo osserviamo  $i(C1)$  e  $i(R1) - i(C1)$ , otteniamo il risultato di Fig. 3.10. Iniziamo a commentare i valori di tensione: a fronte di una variazione istantanea da 0V a 5V della tensione di ingresso  $v(V_{gs})$ , la tensione di uscita  $v(C1)$  scende esponenzialmente fino ad un valore basso non nullo. Questo comportamento della tensione d'uscita può essere interpretato come una inversione del segnale d'ingresso, con l'unico appunto che il valore assunto è non-nullo a causa di una caduta finita associata alla resistenza di R1. Per quanto riguarda invece il passaggio dell'ingresso da 5V a 0V, notiamo un andamento esponenziale crescente della tensione di uscita verso 5V con velocità minore rispetto al caso della discesa. Il motivo risiede nel fatto che durante la salita della tensione d'uscita vi è la sola rete di pull-up ad operare: essa consente lo scorrimento di una corrente sensibilmente

inferiore rispetto a quella del caso del pull-down (confrontare  $i(C1)$  come riferimento). Ne risulta perciò che il transitorio di carica è più lento di quello di scarica<sup>5</sup> nonostante durante la scarica il resistore si opponga al transistor nel tentativo di mantenere alta la tensione di uscita. Si noti inoltre che, durante la scarica, finché  $v_{DS}$  è alta il transistor opera in saturazione ( $v_{GS} < v_{DS} + V_T$ ) e fornisce una corrente pressoché costante, mentre quando passa in lineare abbiamo un andamento a scarica dovuto alla resistenza  $r_{DS}$ . Nella fase di carica dell'uscita la corrente fluisce completamente sul condensatore, mentre il transistor è spento e dunque non ammette corrente fra drain e source.

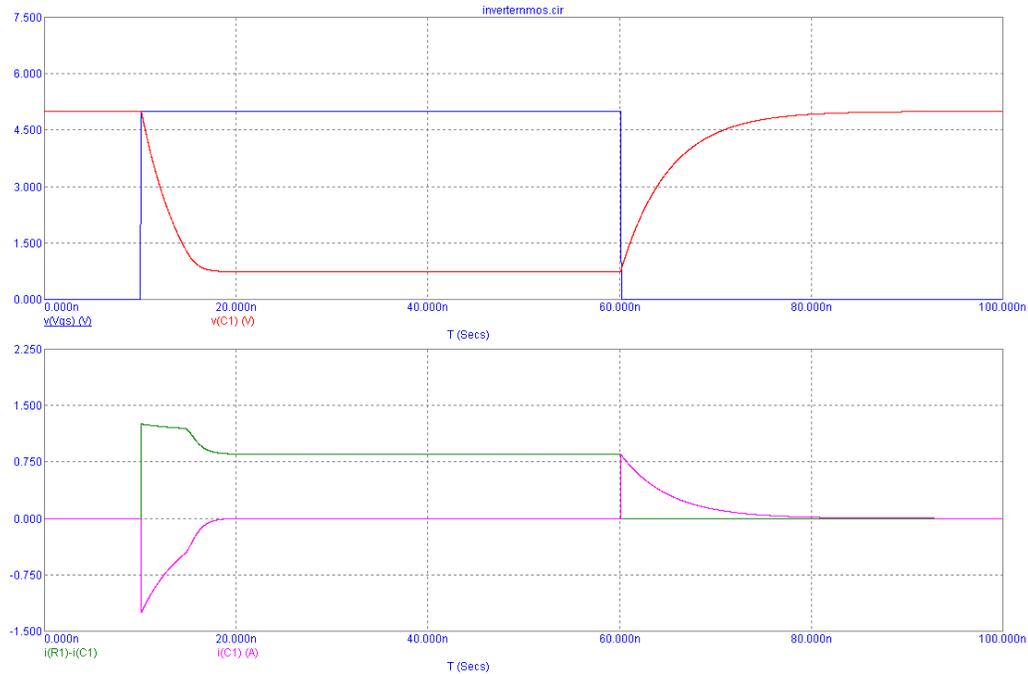


Figura 3.10: Risultato dell'analisi Transient del circuito di Fig. 3.9 relativo ad un inverter nMOS con carico capacitivo.

E' interessante analizzare l'andamento della potenza in questo circuito: osserviamo le espressioni  $i(Vdd) \cdot v(Vdd)$  per la potenza del generatore,  $i(C1) \cdot v(C1)$  per il condensatore,  $i(R1) \cdot v(R1)$  per il resistore e  $(-i(Vdd) - i(C1)) \cdot v(C1)$  per il bipolo dato dal tratto drain-source del transistor. Ignoriamo invece la potenza sviluppata dal generatore  $V_{gs}$  in quanto la corrente di gate è trascurabile.

Notiamo dalla Fig. 3.11 che la potenza nella fase di discesa dell'uscita viene fornita dal condensatore (inizialmente carico) ed in parte dal generatore  $V_{dd}$ , che prosegue a fornire potenza costante "a regime" durante la fase bassa dell'uscita. La potenza viene dissipata in parte sul transistor (specialmente nella fase transitoria) ed in parte sul resistore, il quale rappresenta il componente con la perdita di potenza maggiore a regime. Nella fase di salita dell'uscita invece solo  $V_{dd}$  fornisce potenza, che viene in parte assorbita dal condensatore ed in parte dissipata sul resistore, mentre il transistor è idealmente spento e dunque ha una dissipazione nulla. Dunque comprendiamo che il consumo maggiore per questo circuito è localizzato nella fase bassa del segnale d'uscita, dove permane un percorso conduttivo tra le tensioni di alimentazione ( $V_{dd}$  e massa).

<sup>5</sup>Si tratta di una carica RC, come già visto in Fig. 1.16.

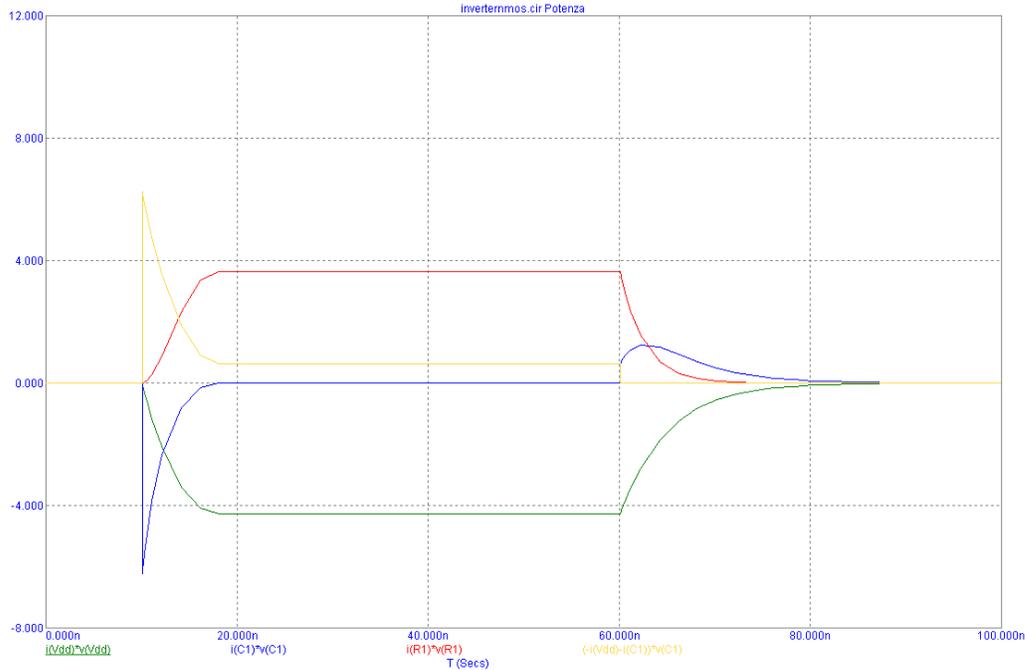


Figura 3.11: Risultato dell'analisi Transient del circuito di Fig. 3.9 con visualizzazione delle potenze dei bipoli.

Abbiamo visto nell'Esercizio precedente il comportamento di un invertitore con rete di pull-down nMOS e rete di pull-up passiva: è possibile riscontrare un risultato analogo per un invertitore con rete di pull-down passiva e rete di pull-up costituita da un pMOS. Non entriamo dunque nel dettaglio di questo tipo di invertitore e ci concentriamo su un caso più interessante dato da un invertitore CMOS (Complementary MOS).

### Esercizio 17: *Inverter CMOS*

Salviamo il file dell'esercizio precedente con nome `invertercmos.CIR`, dopodichè eliminiamo il resistore per far posto ad un pMOS in cui nuovamente poniamo a zero i parametri CBD, CBS, CGDO e CGSO. Collegiamo il suo gate al terminale positivo di  $V_{gs}$ , mentre cortocircuitiamo il bulk con il source, ottenendo il circuito di Fig. 3.12.

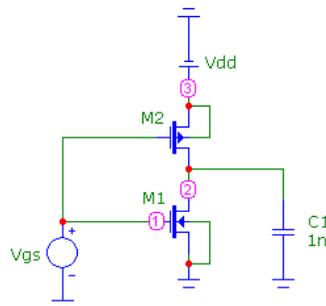


Figura 3.12: Il circuito di un invertitore CMOS con carico capacitivo.

Possiamo effettuare una analisi Transient in cui osserviamo le differenze di tensione di ingresso/uscita  $v(V_{gs})$  e  $v(C1)$  in un gruppo, nonchè le correnti di nMOS e pMOS  $-i(V_{dd})-i(C1)$  e  $-i(V_{dd})$  in un altro; aggiungiamo anche la visualizzazione delle potenze in un'altra pagina, osservando  $i(V_{dd}) * v(V_{dd})$ ,  $i(C1) * v(C1)$ ,  $-i(V_{dd}) * (v(3) - v(2))$  e  $(-i(V_{dd}) - i(C1)) * v(C1)$  rispettivamente per la potenza del generatore, condensatore, pMOS ed nMOS. Scegliamo infine come **Maximum Time Step** un valore di  $1e-11$  per avere una precisione sufficiente comparata con il **Time Range**.

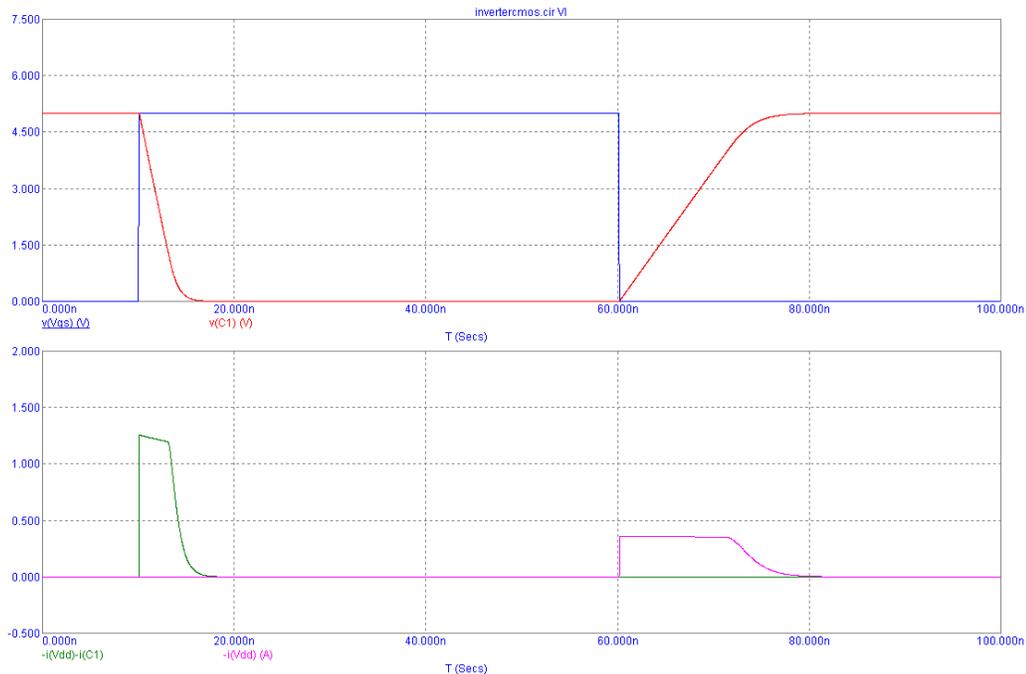


Figura 3.13: Risultato dell'analisi Transient del circuito di Fig. 3.12 relativo ad un inverter CMOS con carico capacitivo.

In Fig. 3.13 notiamo come nella fase di discesa della tensione di uscita in questo caso si raggiunga un valore nullo poichè il pMOS è spento mentre il condensatore si è completamente scaricato e non fornisce più corrente<sup>6</sup>; analogamente nella fase di salita della tensione di uscita l'nMOS è spento mentre il condensatore riduce la corrente che eroga man mano che si carica. Questo significa che l'inverter CMOS è potenzialmente in grado di portare la tensione d'uscita ai valori di alimentazione alta o bassa, anche se l'alimentazione alta è maggiore del valore massimo della tensione di ingresso o l'alimentazione bassa è inferiore al valore minimo della tensione di ingresso: l'inverter agisce da amplificatore *disaccoppiato* dall'ingresso.

Come ultimo appunto vediamo che la fase di carica è più lenta di quella di scarica: ciò è dovuto ai parametri predefiniti del pMOS, per i quali la conducibilità è minore. In questi casi è utile equalizzare i tempi di salita e discesa di un inverter, in quanto essi determinano il periodo minimo ammesso da una logica sincrona. Per fare questo dobbiamo rendere uguali alcuni parametri:

- L: lunghezza di canale;
- W: larghezza di canale;
- LAMBDA: coefficiente di modulazione di canale;

<sup>6</sup>Questo equivale a dire che non possono esserci cadute resistive come nel caso del pull-up resistivo.

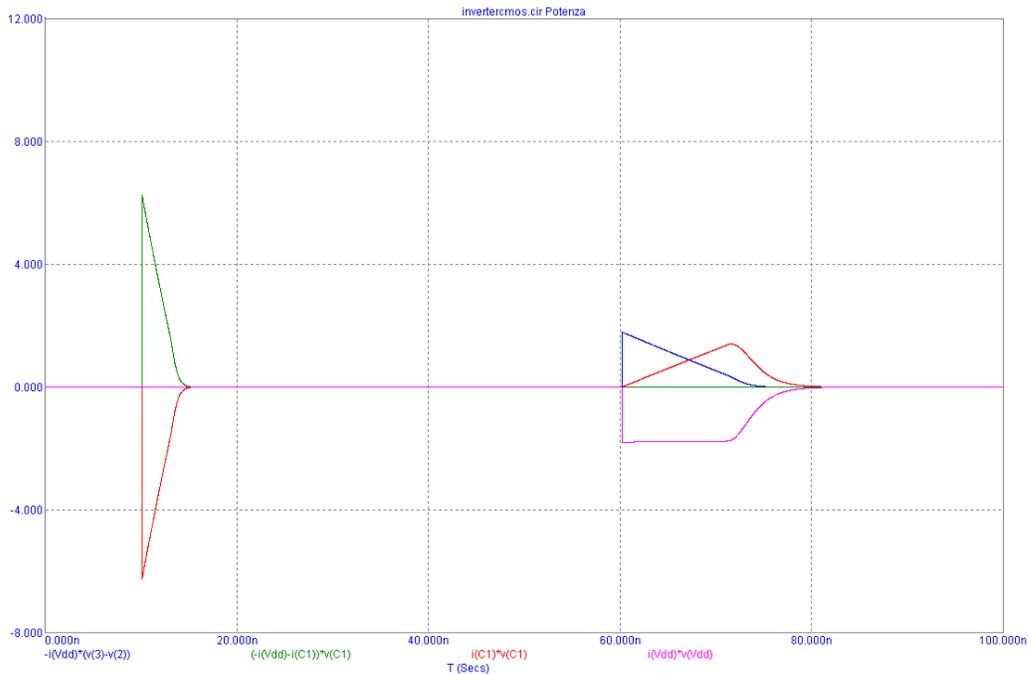


Figura 3.14: Risultato dell'analisi Transient del circuito di Fig. 3.12 con visualizzazione delle potenze dei bipoli.

- RD: resistenza della regione di drain;
- RS: resistenza della regione di source;
- KP: transconduttanza.

Alcuni di questi parametri sono fissati per un determinato processo produttivo, col risultato che per modificare la conduttività di un transistor usualmente ci si concentra sul valore di  $W$ . Prima però di svolgere questa equalizzazione, commentiamo l'andamento delle potenze mostrato in Fig. 3.14: nella fase di discesa la potenza è fornita completamente dal condensatore e dissipata sull'nMOS; nella fase di salita è il generatore a "trascinare" verso l'alto la differenza di tensione d'uscita, fornendo potenza che però viene dissipata in parte sul pMOS.

L'ultima analisi che vogliamo svolgere prende in considerazione un tempo di transizione non nullo della differenza di tensione d'ingresso, in quanto l'assunzione di transizioni istantanee non è realistica proprio per i ragionamenti che abbiamo svolto in questo Esercizio; scegliamo perciò per  $V_{gs}$  dei parametri TR e TF pari a 10 ns. Inoltre approfittiamo di questa occasione per modificare i parametri sopracitati del pMOS in maniera tale da bilanciare le reti di pull-up e pull-down, ossia equalizzando gli andamenti in discesa e salita dell'inverter.

Come vediamo in Fig. 3.15, il profilo di corrente nella fase di discesa o salita è identico, il che ci suggerisce che l'andamento della tensione d'uscita è uguale nelle due transizioni. Notiamo in particolare come l'andamento della tensione d'uscita sia più graduale e che la variazione inizi indicativamente nel momento in cui la tensione fra gate e source di un nMOS/pMOS raggiunga la tensione di soglia  $\pm 4$  V. In Fig. 3.16 vediamo le potenze in gioco e notiamo che il consumo di potenza sull'nMOS è uguale a quello sul pMOS, mentre per il resto valgono tutti i ragionamenti fatti per la Fig. 3.14.

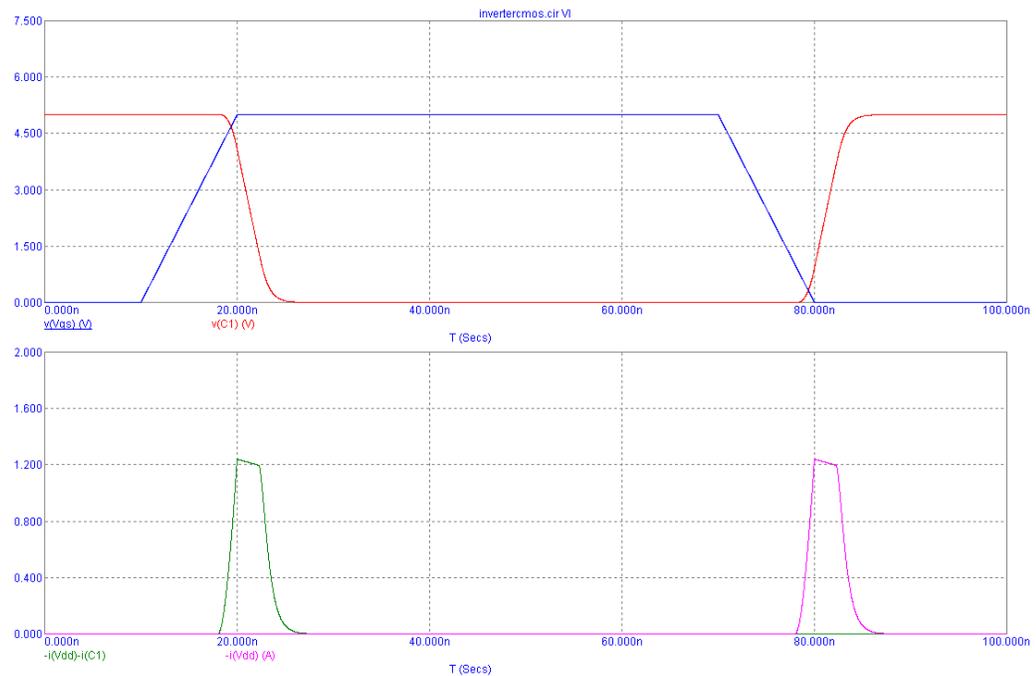


Figura 3.15: Risultato dell'analisi Transient del circuito di Fig. 3.12 con transizioni non istantanee di  $V_{gs}$  e reti di pull-up/pull-down bilanciate.

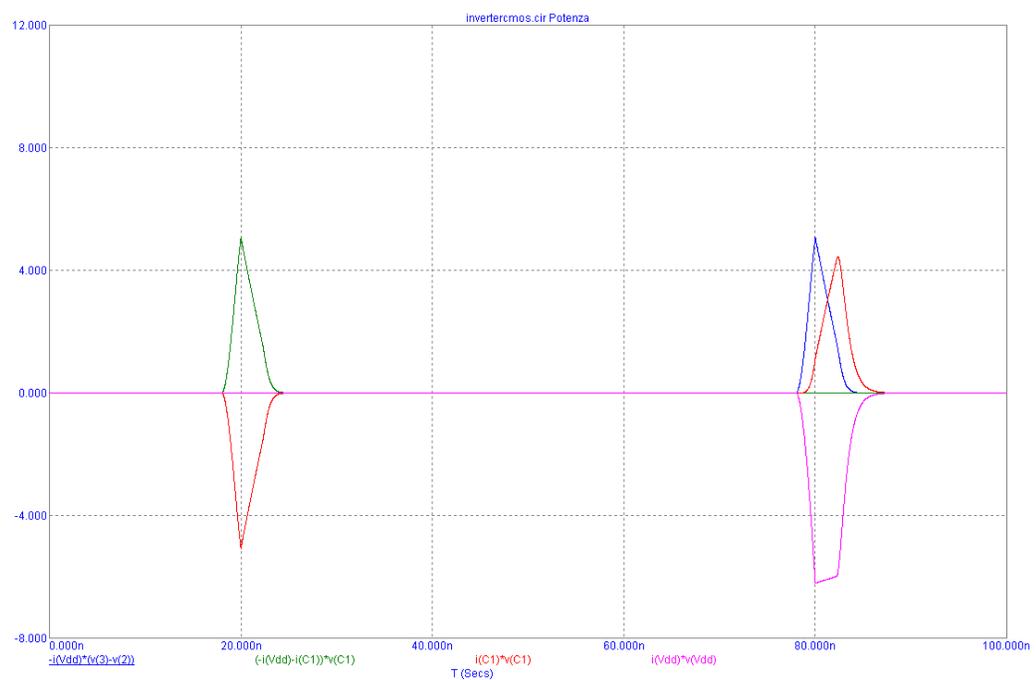


Figura 3.16: Risultato dell'analisi Transient del circuito di Fig. 3.12 con transizioni non istantanee di  $V_{gs}$  e reti di pull-up/pull-down bilanciate, con visualizzazione delle potenze dei bipoli.

Come commento ai precedenti due Esercizi, prendiamo in considerazione l'andamento nella fase bassa d'uscita per l'inverter nMOS e consideriamo la tensione di soglia dei transistor dell'inverter CMOS. Si può giustamente argomentare che se avessimo realizzato un circuito in cui inserivamo l'inverter nMOS fra il generatore  $V_{gs}$  e l'inverter CMOS, l'uscita bassa dell'inverter nMOS sarebbe stata a malapena sufficiente per accendere il pMOS dell'inverter CMOS.

### Esercizio 18: Inverter nMOS e CMOS in catena

Salviamo il precedente esercizio con nome `inverternmoscmos.CIR`. A questo punto selezioniamo il circuito del file `inverternmos.CIR`, lo copiamo ed incolliamo nell'attuale file. Il programma si occupa autonomamente di rinominare i componenti duplicati, perciò non c'è rischio di ambiguità. Il nostro obiettivo finale è collegare il terminale d'uscita dell'inverter nMOS come ingresso per l'inverter CMOS. Questo significa che dobbiamo rimuovere il condensatore d'uscita dell'inverter nMOS nonché il generatore d'ingresso dell'inverter CMOS. Ricordiamoci di impostare a 10 ns i parametri TR e TF del generatore d'ingresso dell'inverter nMOS. Inoltre rinominiamo il generatore che fornisce la tensione di alimentazione alta dell'inverter nMOS con `Vdd1`, mentre chiamiamo `Vdd2` quello relativo all'inverter CMOS<sup>7</sup>.

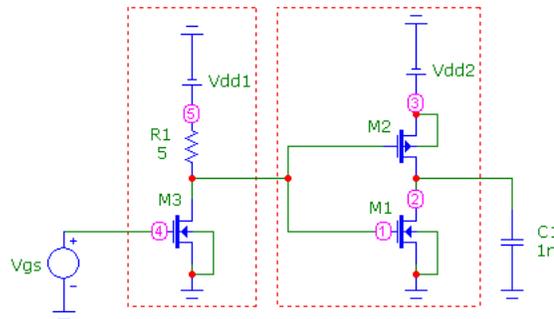


Figura 3.17: Il circuito di un inverter nMOS e CMOS in catena.

In Fig. 3.17 vediamo il risultato finale, in cui abbiamo tratteggiato le parti del circuito relative all'inverter nMOS (sinistra) e CMOS (destra). Per questo circuito vogliamo effettuare una analisi Transient in cui visualizziamo per semplicità solamente  $V_{gs}$ ,  $v(1)$  e  $v(C1)$ , ovvero tensione d'ingresso, tensione intermedia e tensione d'uscita; inoltre scegliamo un **Y Range** pari a 6, -1, 1 per migliorare la visualizzazione.

Dalla Fig. 3.18 notiamo che la tensione d'uscita  $v(C1)$  scende quasi immediatamente rispetto alla tensione d'ingresso e raggiunge rapidamente zero, mentre per la salita il ritardo è considerevole e la velocità è molto ridotta, al punto che in un periodo il segnale d'uscita rimane al valore alto per un brevissimo tempo. Come già discusso nell'Es. 16, se per esempio riduciamo la resistenza al valore di  $1\ \Omega$  otteniamo che  $v(1)$  non raggiunge un valore sufficientemente basso, quindi il pMOS non è mai acceso ed il segnale di uscita rimane al valore basso; se al contrario scegliamo un valore di resistenza elevato quale  $50\ \Omega$  miglioriamo la situazione, ma dobbiamo prestare attenzione al fatto che in questo modo rallentiamo la carica della capacità d'uscita dell'inverter nMOS<sup>8</sup>.

<sup>7</sup>Possiamo anche collegare le reti di pull-up di entrambi gli inverter ad un unico generatore, in quanto le sorgenti di alimentazione sono generalmente comuni. La scelta fatta va nella direzione di semplificare il calcolo delle potenze richieste da ogni stadio del circuito.

<sup>8</sup>Nel nostro caso abbiamo imposto capacità di gate nulle e quindi il problema non è presente. Possiamo verificare il comportamento del circuito introducendo un valore alto quale  $100\ \text{pF}$  per la capacità `CGSO` del transistor `M1`, per esempio.

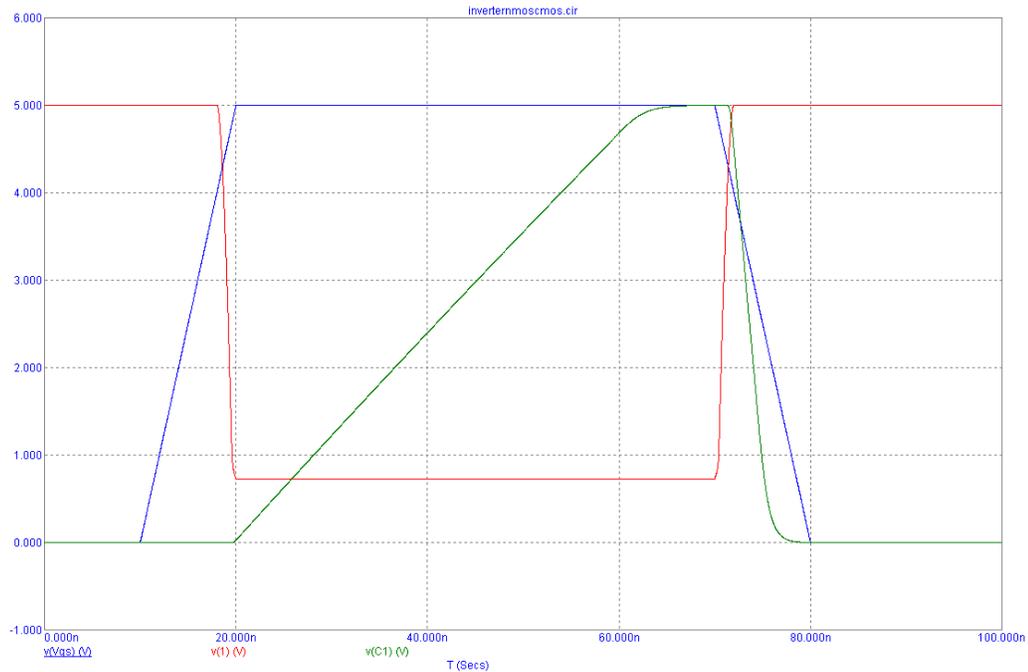


Figura 3.18: Risultato dell'analisi Transient del circuito di Fig. 3.17 relativo ad un inverter nMOS e CMOS in catena.

Da ciò che abbiamo visto nel precedente Esercizio, l'accoppiata di due invertitori in catena può stabilizzare un segnale grazie all'amplificazione con saturazione del segnale d'ingresso che un singolo inverter fornisce. Se da un lato l'inverter nMOS con carico resistivo non si è rivelato uno stadio di amplificazione idoneo, possiamo verificare nel prossimo Esercizio come un *buffer CMOS*, ovvero la serie di due inverter CMOS, è in grado di ripristinare i corretti livelli alto e basso di un segnale impiegato in una logica digitale.

#### Esercizio 19: *Buffer CMOS*

Carichiamo il file `invertercmos.CIR` e salviamolo con nome `buffercmos.CIR`. A questo punto duplichiamo l'inverter e lo colleghiamo in uscita al primo, in maniera analoga a quanto svolto nell'Es. 18, ottenendo il risultato di Fig. 3.19 in cui abbiamo opportunamente rinominato le alimentazioni alte `Vdd1` e `Vdd2`. Modifichiamo il valore del parametro `VT0` di un nMOS qualunque a 1.5 e di un pMOS qualunque a -1.5: il modello che utilizziamo per un nMOS o pMOS è condiviso e dunque non è necessario ripetere le modifiche a tutti i transistor<sup>9</sup>. Infine scegliamo per il generatore del segnale d'ingresso `Vgs` un valore di `V1` pari a 2.4 e di `V2` pari a 2.6; lo scopo di questa modifica è fornire un segnale che varia lievemente attorno al valore intermedio di tensione 2.5 V. L'ingresso rappresenta perciò un segnale estremamente debole, per il quale dal punto di vista elettrico una interpretazione in digitale risulterebbe problematica da effettuare.

Per questo circuito vogliamo effettuare una analisi Transient in cui visualizziamo separatamente le tensioni `Vgs`, `v(2)` e `v(C1)` (rispettivamente tensione d'ingresso, tensione intermedia e tensione d'uscita), nonché le correnti erogate dai generatori `-i(Vdd1)` e `-i(Vdd2)`.

<sup>9</sup>I modelli personalizzati sono salvati nella pagina `Models` dello spazio di lavoro. Nel caso sia necessario differenziare i comportamenti degli stessi componenti in un determinato circuito, è possibile utilizzare un modello personalizzato.

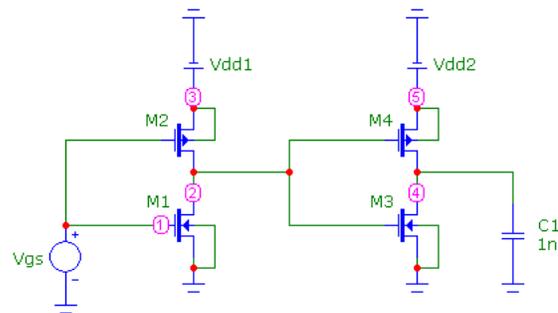


Figura 3.19: Il circuito di un buffer CMOS.

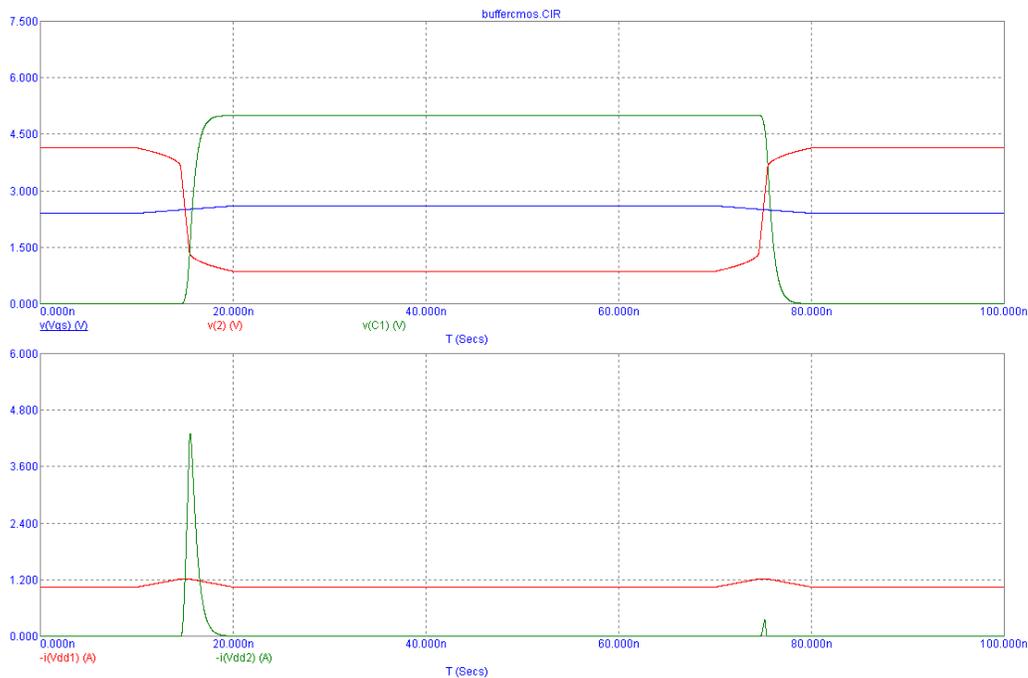


Figura 3.20: Risultato dell'analisi Transient del circuito di Fig. 3.19 relativo ad un buffer CMOS.

Come possiamo vedere dalla Fig. 3.20, la tensione intermedia (all'uscita del primo inverter) non raggiunge i valori di alimentazione 5 V e 0 V, mentre il segnale di tensione all'uscita del secondo inverter è "corretto". Il motivo della scarsa qualità del segnale intermedio va ovviamente ricercato nella ridotta escursione del segnale d'ingresso: in particolare, l'ingresso è tale da mantenere sempre accesi i due transistor M1 ed M2 del primo stadio. Questo fatto si traduce in un percorso conduttivo tra l'alimentazione alta e quella bassa, individuabile nel valore non nullo della corrente  $-i(Vdd1)$  lungo tutto il periodo di simulazione; poichè tale corrente comporta cadute resistive nei tratti drain-source dei due transistor, il segnale  $v(2)$  non riesce ad avere l'escursione massima possibile. Al contrario, la corrente  $-i(Vdd2)$  è non nulla solamente durante le transizioni: si noti che rispetto a Fig. 3.13, vi è una piccola corrente anche nella fase di discesa della tensione d'uscita dovuta al fatto che esiste un intervallo della tensione di

ingresso tale per cui anche M4 è acceso<sup>10</sup>.

Il risultato complessivo dell'introduzione del buffer CMOS è che il segnale originario è stato amplificato fino a riportarsi ai valori nominali di alimentazione: questa operazione è avvenuta al prezzo di un certo consumo di potenza sui transistor, nonché di un lieve ritardo del segnale d'uscita (si noti a tale proposito il punto di intersezione fra  $v(V_{gs})$  e  $v(C1)$ ).

---

<sup>10</sup>Nel caso di Fig. 3.13 invece le soglie erano pari a  $\pm 4V$ , cosicchè solo l'nMOS o il pMOS poteva essere acceso in un determinato istante. In generale, la condizione di esistenza di un intervallo d'ingresso per cui entrambi i transistor sono accesi è che  $|V_T| < \bar{V}$ , dove  $\bar{V}$  è il valore intermedio fra le alimentazioni alta e bassa.



# Capitolo 4

## BJT

In questo capitolo analizziamo il comportamento dei transistor bipolari a giunzione (BJT). Un BJT topologicamente è un *tripolo*, caratterizzato dai terminali di *base* B, *collettore* C ed *emettitore* E. Costituisce un dispositivo attivo e non lineare; oltre al suo uso come interruttore, che studieremo in questo capitolo, un BJT ha un ruolo fondamentale come amplificatore (di tensione o corrente). Le sue proprietà si possono derivare facilmente partendo dalla giunzione p-n già vista nel caso dei diodi: un BJT può essere considerato come la serie di due diodi aventi orientamento discorde e terminale B connesso fra i due diodi stessi. In base al verso dei diodi, si distinguono transistori *NPN*, in cui i morsetti positivi dei due diodi sono collegati fra loro, e transistori *PNP* nel caso di connessione fra i morsetti negativi.

Nella prossima Sezione analizzeremo il comportamento statico di un BJT nel caso di un NPN e di un PNP. Nella Sezione successiva andremo invece a studiare il comportamento dinamico nella configurazione ad emettitore comune, corrispondente ad un invertitore RTL.

### 4.1 Comportamento statico

Per analizzare il comportamento statico di un NPN, visualizzeremo prima le caratteristiche di ingresso ( $v_{BE}$  in funzione di  $i_B$ ) seguite dalle caratteristiche di uscita ( $i_C$  funzione di  $v_{CE}$ ).

#### **Esercizio 20:** *Caratteristiche di ingresso ed uscita di un NPN*

Creiamo un nuovo file con nome `npn_statico.CIR` ed inseriamo un BJT NPN presente in `Analog Primitives|Active Devices|NPN`. Per tale componente scegliamo il modello `2N2222A`, ovvero un modello approssimato del transistor utilizzato sulla dispensa del corso. Va precisato che tale componente non è caratterizzato con precisione, in quanto l'insieme dei parametri a disposizione dell'utente è piuttosto limitato: tutti i modelli condividono gli stessi parametri e si differenziano per i valori assunti. Ricordiamo che l'emettitore è dato dal terminale *inferiore* dell'NPN, in quanto la corrente di collettore normalmente scorre dall'alto verso il basso.

Poichè siamo interessati a determinare il comportamento del componente al variare della corrente di ingresso, inseriamo un generatore di corrente che chiamiamo `Ib` e lo istanziamo con un valore DC di corrente di `800u` Ampere. Colleghiamo il generatore di corrente all'NPN in modo tale che la corrente sia assunta entrante nel terminale di base. Aggiungiamo un generatore di tensione che fungerà da valore della tensione  $v_{CE}$ , chiamandolo perciò `Vce`: diamo valore in continua di tensione pari a `2` Volt e colleghiamo il morsetto positivo al terminale di collettore. Infine colleghiamo i terminali restanti a massa, ottenendo il circuito di Fig. 4.1.

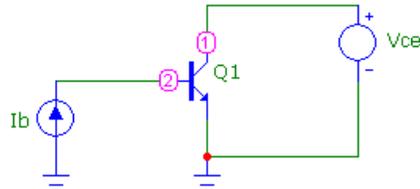


Figura 4.1: Circuito per verificare le caratteristiche statiche di un NPN.

Ora possiamo effettuare una analisi DC in cui variamo sia il valore di  $I_b$  che il valore di  $V_{ce}$ : scegliamo come **Variable 1** la corrente di base, con andamento lineare e range  $800\mu, 0\mu, 1\mu$ . Si noti che è importante scegliere un passo molto corto per la prima variabile in modo da non avere un andamento grossolano delle grandezze visualizzate. Per quanto riguarda la **Variable 2**, invece, scegliamo la tensione collettore-emettitore nel range  $2, 0, 0.05$ . Infine vogliamo visualizzare la tensione base-emettitore  $V_{be}$ , rappresentata equivalentemente da  $v(2)$  oppure da  $-v(I_b)$ .

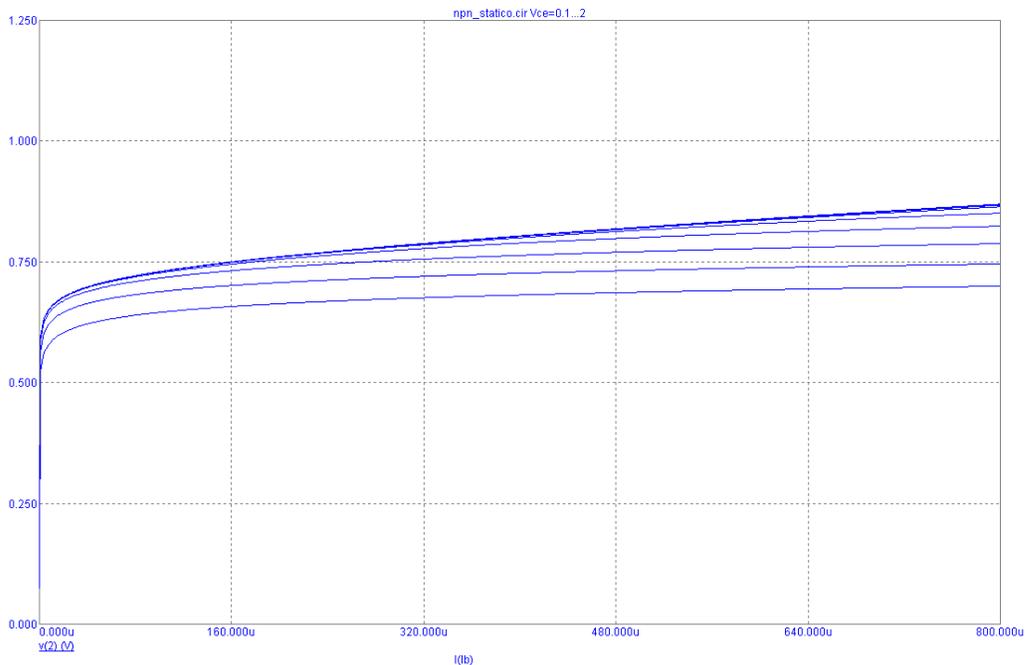


Figura 4.2: Risultato dell'analisi DC del circuito di Fig. 4.1 relativamente alle caratteristiche statiche di ingresso di un NPN.

In Fig. 4.2 osserviamo che la tensione base-emettitore cresce rapidamente per basse correnti di base e si assesta tra gli 0.7 e 0.8 V. Si noti che per tensione collettore-emettitore nulla ritroviamo il comportamento di un diodo pn polarizzato in diretta (mostrato in Fig. 2.2, dove però l'andamento della corrente del diodo diventa lineare, piuttosto che esponenziale). Per valori crescenti della tensione  $v_{CE}$  invece le curve convergono ad una curva limite, il cui significato è maggiormente chiaro se analizziamo la caratteristica d'uscita del transistor.

Per fare ciò, è sufficiente modificare opportunamente gli ingressi nell'analisi DC.

Come primo ingresso scegliamo  $V_{ce}$  con range  $10,0,0.01$ , mentre come secondo ingresso usiamo  $I_b$  nell'intervallo  $200\mu,0\mu,40\mu$ . Infine vogliamo visualizzare la corrente di collettore, data in questo caso da  $-i(V_{ce})$ .

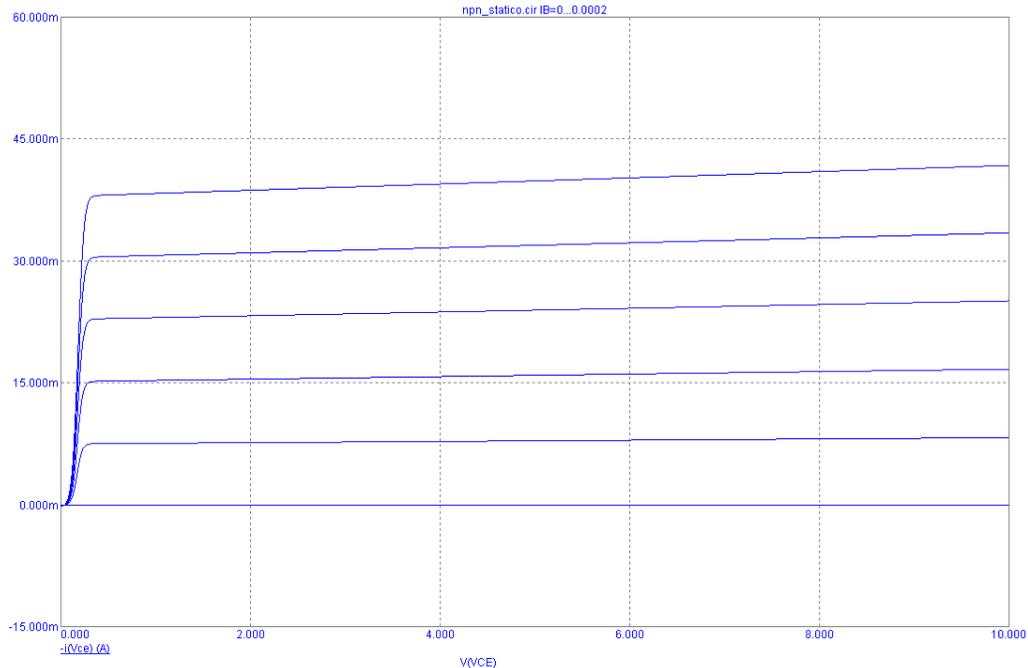


Figura 4.3: Risultato dell'analisi DC del circuito di Fig. 4.1 relativamente alle caratteristiche statiche di uscita di un NPN.

Notiamo anzitutto che per  $v_{CE}$  alta l'andamento della corrente d'uscita dipende pressochè unicamente dalla corrente di base: questa è la regione *attiva* di funzionamento, in cui la giunzione base-emettitore è polarizzata in diretta mentre la giunzione base-collettore è polarizzata in inversa. In questa situazione siamo in grado di controllare in maniera precisa l'uscita  $i_C$  in funzione dell'ingresso  $i_B$ ; questa dipendenza non è tuttavia ideale a causa dell'effetto Early, che determina una pendenza non nulla delle curve. Nel modello del BJT, l'effetto Early è modulabile attraverso il parametro  $V_{AF}$ , avente valore predefinito  $100V$ : a valore minore corrisponde una pendenza maggiore.

Per valori bassi della tensione collettore-emettitore, invece, il transistor entra in regione di saturazione, in cui entrambe le giunzioni sono polarizzate in diretta. Il valore della tensione corrispondente al passaggio dalla regione attiva a quella di saturazione è  $v_{CE,sat} \approx 0.3V$ . Se imponiamo una tensione collettore-emettitore nulla, si ha che  $v_{BC} = v_{BE}$  e dunque i due diodi del transistor sono collegati in serie verso massa. Segue che la corrente di base si divide tra le due giunzioni in maniera direttamente proporzionale alle rispettive conducibilità (ovvero in maniera inversamente proporzionale alle rispettive resistenze, le quali però dipendono dal valore delle tensioni applicate alle giunzioni). Segue dunque che  $i_C$  è necessariamente negativa ed essendo inferiore a  $i_B$  si trova nell'ordine delle decine di  $\mu A$ , cioè graficamente assimilabile a zero. E' tuttavia possibile osservare l'andamento in negativo di  $i_C$  operando uno zoom nella regione attorno a  $v_{CE} = 0$ .

E' interessante effettuare un esperimento che consiste nel fornire un intervallo negativo per la tensione  $v_{CE}$ , ovvero in condizioni di forte inversione per la giunzione base-emettitore. In particolare utilizziamo  $0.05,-10,0.01$ : la scelta di un valore mag-

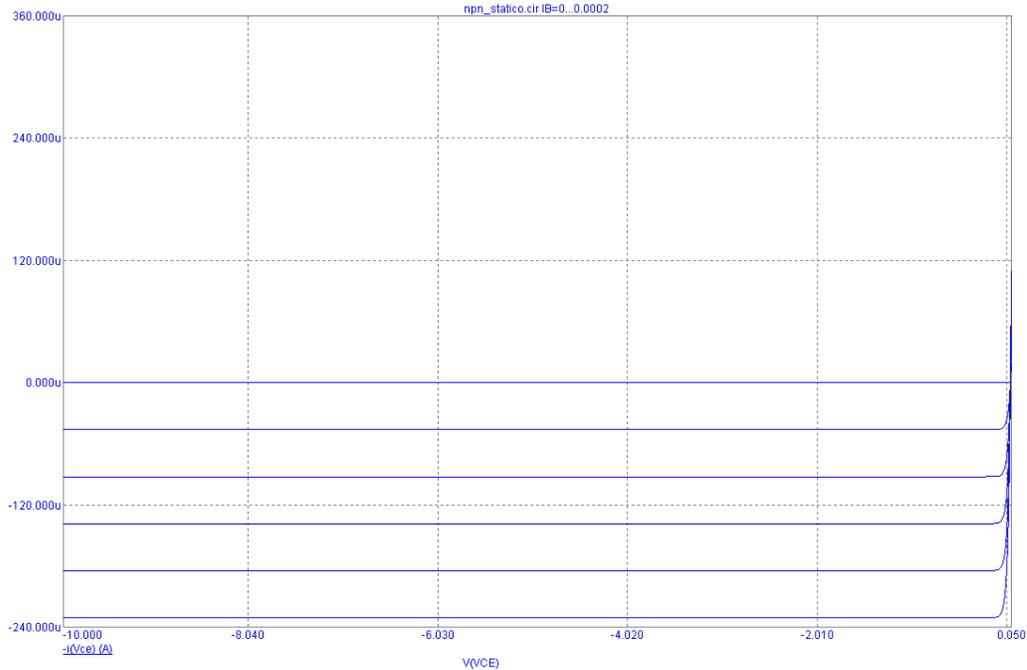


Figura 4.4: Risultato dell'analisi DC del circuito di Fig. 4.1 relativamente alle caratteristiche statiche di uscita di un NPN, con polarizzazione invertita.

giore di zero per l'estremo superiore dell'intervallo di  $V_{ce}$  è dovuta al fatto che vogliamo includere l'intersezione delle curve con  $i_C = 0$  che, come osservato, avviene per valori positivi di  $v_{CE}$  a causa di una tensione  $v_B$  non nulla.

Se ripetiamo l'analisi, vediamo in Fig. 4.4 che gli andamenti della corrente sono piuttosto simili a quelli per valori positivi, con la differenza che le correnti di collettore hanno segno opposto e solo molto minori in modulo. L'effetto Early in inversa in particolare non è presente: per ritrovarlo è necessario modificare il valore del campo **VAR** con un valore piccolo, per esempio  $5V$ ; si noti che il valore predefinito di **VAR** pari a zero in verità viene interpretato come infinito, in quanto ad esso corrisponde un effetto Early nullo.

Il risultato che abbiamo ottenuto è, in effetti, corrispondente ad utilizzare il transistor con giunzioni base-collettore e base-emettitore rovesciate: se diamo a  $V_{ce}$  un valore DC negativo ed effettuiamo una analisi **Dynamic DC**, notiamo infatti che da un lato la giunzione base-emettitore è in condizioni di forte inversione, mentre dall'altro la giunzione base-collettore è debolmente in diretta. Si può oltretutto verificare che le correnti sono le stesse a prescindere da dove posizioniamo il riferimento di massa (lato collettore piuttosto che lato emettitore): questo conferma che, per corrente di base fissata, le correnti di collettore ed emettitore dipendono unicamente dalla  $v_{CE}$ .

La differenza di corrente per polarizzazione invertita è dovuta al diverso valore di  $\beta$  in condizioni di inversione: tale valore è espresso dal parametro **BR**, che deve essere sensibilmente minore del  $\beta$  in diretta **BF**. In effetti, dai parametri del BJT **2N2222A** notiamo che **BR** è tre ordini di grandezza inferiore a **BF**. Come esperimento è possibile copiare il valore di **BF** in **BR** ed impostare per  $V_{ce}$  un range  $10, -10, 0.01$ : si osserverà che la corrente è una funzione pressochè dispari (trascurando principalmente l'effetto Early ed il fatto che l'intersezione con l'asse  $i_C = 0$  non avvenga esattamente per  $v_{CE} = 0$ ).

Ora vogliamo effettuare lo stesso tipo di analisi per un BJT PNP, con l'obiettivo di riscontrare analoghi risultati.

**Esercizio 21:** *Caratteristiche di ingresso ed uscita di un PNP*

Salviamo il precedente file con nome `pnp_statico.CIR` e sostituiamo il BJT NPN con un BJT PNP presente in `Analog Primitives|Active Devices|PNP`, scegliendo il modello `2N3244`. Ricordiamo che l'emettitore è dato dal terminale *superiore* del PNP, perciò rinominiamo `Vce` come `Vec`; analogamente avremmo potuto invertire i terminali del generatore, tuttavia questa soluzione ci permetterà di visualizzare le caratteristiche statiche del transistor sullo stesso semipiano usato per l'NPN.

Poichè in questo caso  $i_B$  si suppone uscente dal terminale di base, per praticità colleghiamo `Ib` ruotato di 180 gradi, ottenendo così il circuito di Fig. 4.5.

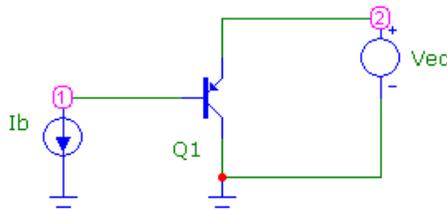


Figura 4.5: Circuito per verificare le caratteristiche statiche di un PNP.

Ora effettuiamo una analisi DC in cui variamo sia il valore di `Ib` che il valore di `Vce`: scegliamo come `Variable 1` la corrente di base, con range `800u,0u,1u`, mentre per quanto riguarda la `Variable 2` scegliamo la tensione emettitore-collettore nel range `2,0,0.05`. In poche parole stiamo utilizzando gli stessi valori scelti per il `2N2222A`, tuttavia i due componenti non hanno caratteristiche duali, quindi non dobbiamo attenderci andamenti identici. Per verificare la caratteristica di ingresso vogliamo visualizzare  $v_{EB}$ , che in questo caso è data da  $v(2)-v(1)$ .

Il risultato di Fig. 4.6 è piuttosto simile a quello di Fig. 4.2, fatta eccezione per una diversa pendenza e una maggiore sensibilità al valore di  $v_{EB}$ , riscontrabile nella maggiore distanza fra le varie curve. Per visualizzare le caratteristiche d'uscita invertiamo gli ingressi dell'analisi ed usando gli stessi intervalli scelti per l'NPN, ovvero scegliendo per `Vec` il range `10,0,0.01` e per `Ib` il range `200u,0u,40u`. Infine vogliamo visualizzare la corrente di collettore, data in questo caso da  $-i(\text{Vec})-i(\text{Ib})$ .

A parte un fattore di scala nel valore della corrente, si può osservare che l'andamento in Fig. 4.7 è lo stesso della corrispondente Fig. 4.3 per un NPN.

## 4.2 Comportamento dinamico

**Esercizio 22:** *Caratteristiche dinamiche di un NPN*

Carichiamo il file `npn_statico.CIR` e salviamolo con nome `npn_dinamico.CIR`, dopodichè eliminiamo il generatore di corrente per sostituirlo con un generatore di tensione. Per tale generatore scegliamo un ingresso di tipo `Pulse` in cui tutti i tempi sono moltiplicati

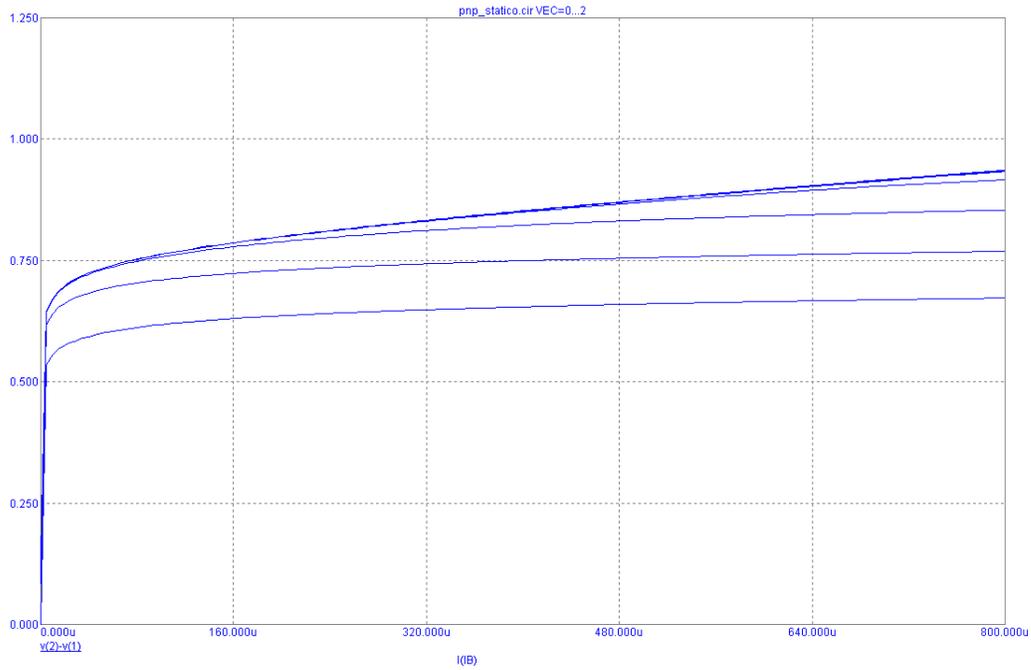


Figura 4.6: Risultato dell'analisi DC del circuito di Fig. 4.5 relativamente alle caratteristiche statiche di ingresso di un PNP.

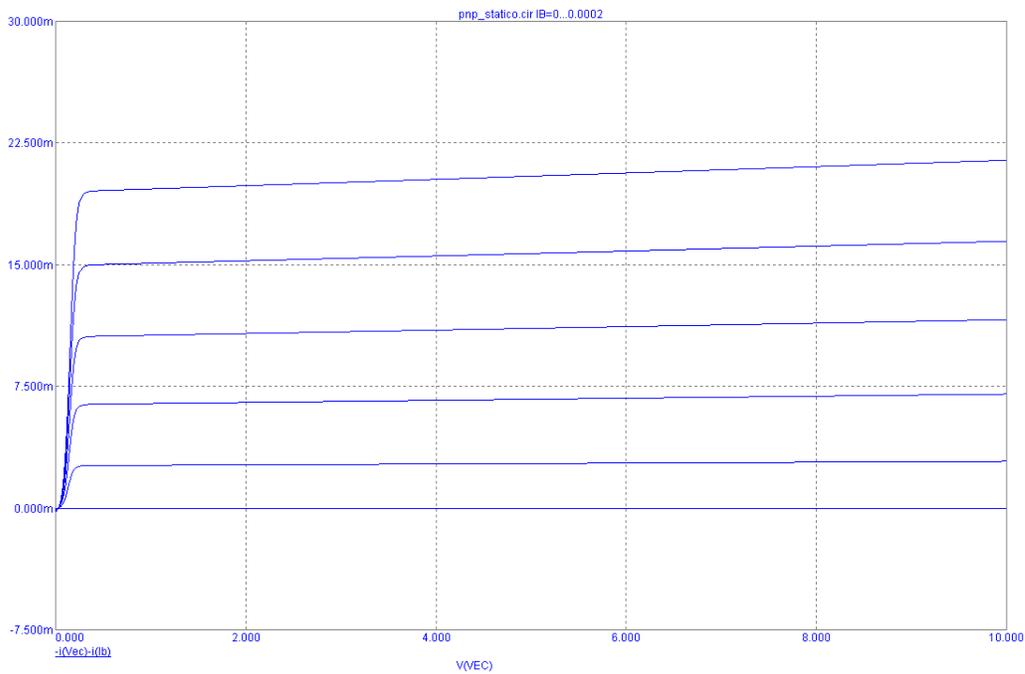


Figura 4.7: Risultato dell'analisi DC del circuito di Fig. 4.5 relativamente alle caratteristiche statiche di uscita di un PNP.

per 10 rispetto al valore nominale. Poichè in questo caso imponiamo la tensione d'in-

gresso, dobbiamo inserire un resistore di resistenza  $10k$  affinché la corrente in ingresso al BJT sia di dimensioni ragionevoli. Ora eliminiamo il generatore di tensione in uscita e lo sostituiamo con una **Battery** chiamata  $V_{cc}$  di valore  $5V$ ; colleghiamo infine un resistore di valore  $100\Omega$  fra tale generatore di tensione ed il terminale di collettore.

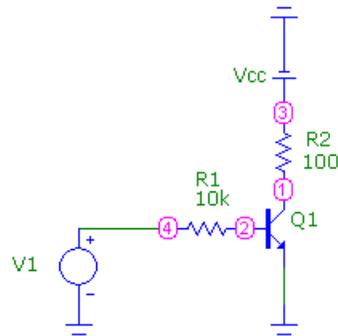


Figura 4.8: Circuito per verificare le caratteristiche dinamiche di un NPN.

Il risultato è il circuito di Fig. 4.8, che di fatto corrisponde ad un invertitore RTL: il resistore  $R2$  in particolare rappresenta la rete di pull-up, mentre il transistor  $Q1$  la rete di pull-down. In questo caso tuttavia non inseriamo un carico capacitivo, in maniera tale da verificare il comportamento del transistor in assenza di ulteriori componenti reattive nel circuito.

Effettuiamo ora una analisi Transient in cui per  $10\mu s$  vogliamo osservare l'andamento delle grandezze  $v(4)$  (tensione di ingresso) e  $v(1)$  (tensione di uscita) in un primo gruppo,  $i(R1)$  (corrente di base) ed  $i(R2)$  (corrente di collettore) in un secondo gruppo.

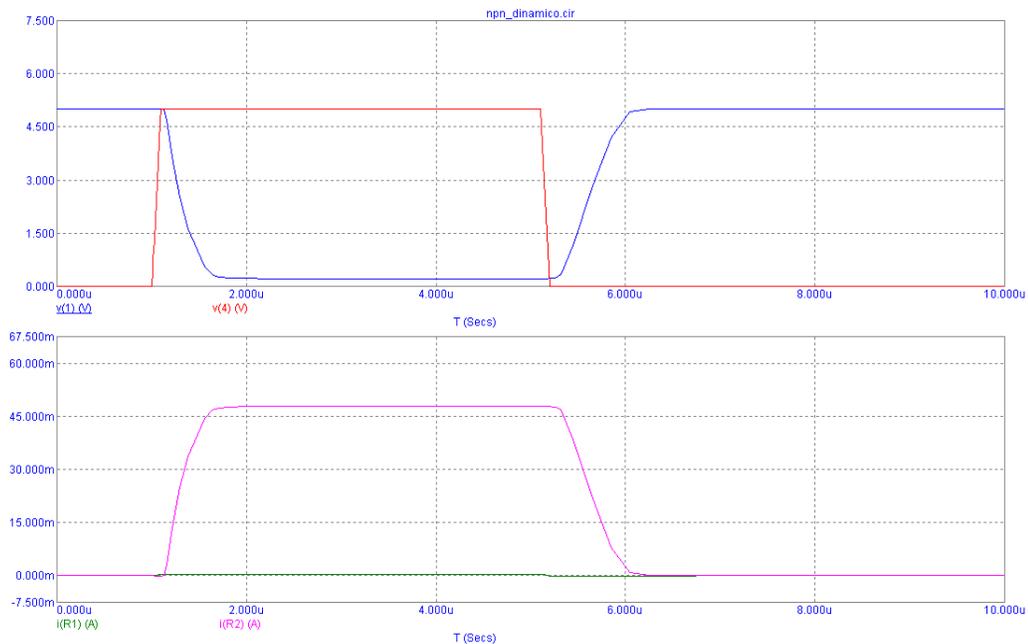


Figura 4.9: Risultato dell'analisi Transient del circuito di Fig. 4.8 relativamente alle caratteristiche dinamiche di un NPN.

In Fig. 4.9 possiamo notare come la tensione d'uscita inizi a scendere dopo un sensibile ritardo. Questo ritardo è dovuto in primo luogo alla tensione di soglia del BJT, il cui effetto è riscontrabile nel ritardo con cui la corrente  $i_C$  inizia ad assumere un valore apprezzabile. In secondo luogo, la scarsa velocità di scarica della tensione di collettore è dovuta alla scarsa velocità di crescita di  $i_C$  stessa. Si noti come la corrente  $i_B$  sia pressochè trascurabile comparata con  $i_C$  ed in particolare assume un valore di picco di circa  $450\mu A$ . Per quanto riguarda la fase di spegnimento del BJT, notiamo che la dinamica è sensibilmente più lenta: rifacendoci al caso dell'Es. 16, questa situazione è dovuta nuovamente alla scarsa qualità del resistore R2 come rete di pull-up. Potremmo ridurre il valore della resistenza di R2 al fine di velocizzare la carica, ottenendo una  $i_C$  più alta ma anche una tensione  $v_C$  maggiore a regime mentre l'NPN è acceso, con conseguente peggioramento dell'escursione della tensione d'uscita e maggiore consumo di potenza del circuito.

Le analogie fra invertitore MOS e BJT terminano qui, tuttavia: poichè i BJT sono dispositivi comandati in corrente, si può facilmente mostrare come un invertitore realizzato utilizzando un PNP come rete di pull-up non può funzionare correttamente. E' possibile tuttavia realizzare un circuito invertitore in cui la rete di pull-down è data da un PNP mentre la rete di pull-up è data da un NPN; il risultato però restituisce una escursione d'uscita inferiore a quella massima, in quanto non è possibile spegnere completamente un transistor.

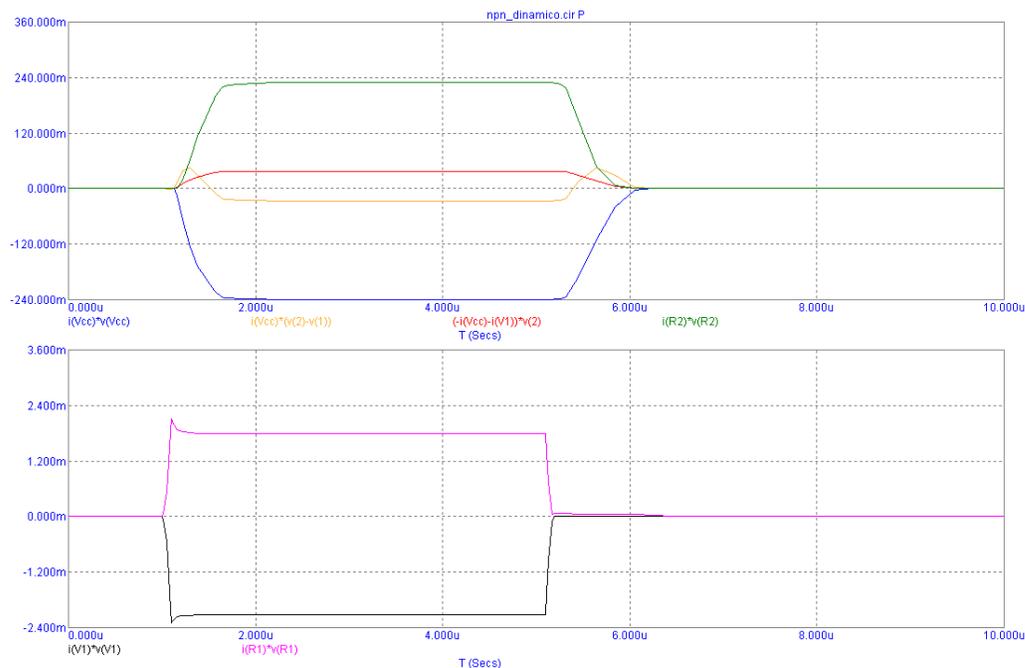


Figura 4.10: Risultato dell'analisi Transient del circuito di Fig. 4.8 con calcolo delle potenze.

Aggiungiamo ora in una pagina separata dell'analisi Transient le potenze per:

- il segnale di ingresso V1:  $v(V1) \cdot i(V1)$  nel gruppo 2;
- il riferimento alto di tensione Vcc:  $v(Vcc) \cdot i(Vcc)$  nel gruppo 1;
- il resistore R1:  $v(R1) \cdot i(R1)$  nel gruppo 2;
- il resistore R2:  $v(R2) \cdot i(R2)$  nel gruppo 1,
- la giunzione base-collettore:  $(v(2) - v(1)) \cdot i(Vcc)$  nel gruppo 1;

- la giunzione base-emettitore:  $v(2)*(-i(V1)-i(Vcc))$  nel gruppo 1.

Vediamo in Fig. 4.10 il risultato, in cui si nota un fatto particolare: quando il transistor è in condizioni di saturazione, la giunzione base-collettore è caratterizzata da una potenza negativa. In poche parole, tale giunzione si comporta come un generatore. Questo ovviamente non significa che il BJT generi potenza dal nulla, bensì che la giunzione base-collettore ha un comportamento reattivo di scarica nella fase di saturazione. Complessivamente, dunque, il consumo di potenza maggiore è da ascrivere alla giunzione collettore-emettitore nonchè ad **R2**, mentre si nota che dal lato dell'ingresso (gruppo 2 della figura) le potenze in gioco sono di due ordini di grandezza inferiori. In particolare, il contributo di potenza fornito da **V1** al BJT è trascurabile se confrontato col contributo di **Vcc**; oltretutto, la maggioranza della potenza erogata dal generatore di ingresso viene dissipata su **R1**.



# Capitolo 5

## Porte Logiche

Nei precedenti due Capitoli abbiamo analizzato il componente logico più comune in un circuito: l'invertitore, prima implementati tramite MOS ed in seguito tramite BJT. In questo Capitolo proseguiamo l'analisi di porte logiche, iniziando dal dominio analogico per poi introdurre le primitive logiche integrate in Micro-Cap ed effettueremo delle analisi miste analogico-digitali. Infine ci concentreremo sui circuiti digitali puri.

### 5.1 Circuiti Analogici

In questa Sezione trattiamo circuiti esclusivamente a livello elettrico, per collegarci al Capitolo relativo ai MOSFET e comprendere le basi del funzionamento di una porta logica. In questa e nelle successive Sezioni ci dedicheremo alla porta NAND, in quanto assieme alla porta NOR è una porta di uso comune e di facile comprensione<sup>1</sup>.

#### **Esercizio 23:** *NAND nMOS a 2 ingressi con pull-up resistivo*

Carichiamo il file `inverternmos.CIR` e salviamolo con nome `nandnmos.CIR`. A questo punto dobbiamo duplicare l'nMOS e connetterlo in serie al precedente, dopodichè nominiamo `M1d` ed `M2d` i transistor del pull-down risultante. Creiamo un secondo segnale d'ingresso generatore di tensione, chiamiamo `V1` e `V2` i due ingressi e colleghiamo `V1` al transistor `M1d`, mentre `V2` va al gate del transistor `M2d`. Come variante inoltre vogliamo utilizzare una tensione di soglia `VTO` pari a 1, così da rendere i transistor più conduttivi a parità di tensione di gate. Infine modifichiamo il valore della resistenza con  $25\ \Omega$  ed il valore della capacità con  $600\ \text{pF}$ .

Il circuito risultante è mostrato in Fig. 5.1; prima di effettuare una analisi Transient sul circuito, modifichiamo opportunamente gli andamenti dei segnali d'ingresso. Vogliamo verificare il comportamento per qualsiasi combinazione degli ingressi, perciò scegliamo per `V1` un valore `TD` pari a  $10\text{n}$ , per `V2` un valore `TD` pari a  $40\text{n}$ , mentre per entrambi i generatori usiamo `PW` di  $60\text{n}$  e `PER` di  $150\text{n}$ . Assicuriamoci in **Transient Analysis Limits** di scegliere come **Time Range** il valore corrispondente a `PER`, e scegliamo come segnali osservati `v(V1)`, `v(V2)` e `v(C1)` per le tensioni, `i(Vdd)`, `i(C1)` e `i(R1)-i(C1)` per le correnti.

In Fig. 5.2 vediamo che il segnale d'uscita è basso solamente quando le due tensioni di ingresso sono alte. In particolare, la scarica del condensatore d'uscita comporta un sensibile ritardo nella commutazione del segnale d'uscita rispetto agli ingressi. Per

---

<sup>1</sup>Il motivo per cui analizziamo porte *negate* diverrà chiaro nel seguito.

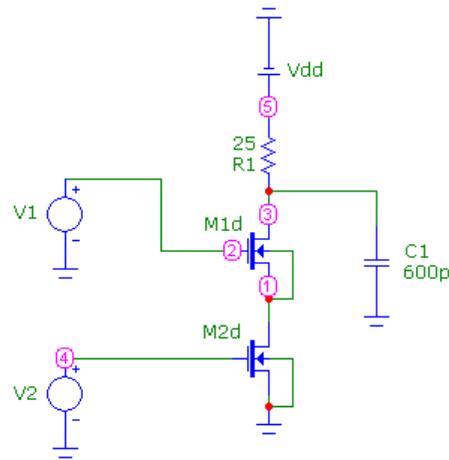


Figura 5.1: Il circuito di un NAND nMOS con pull-up resistivo.

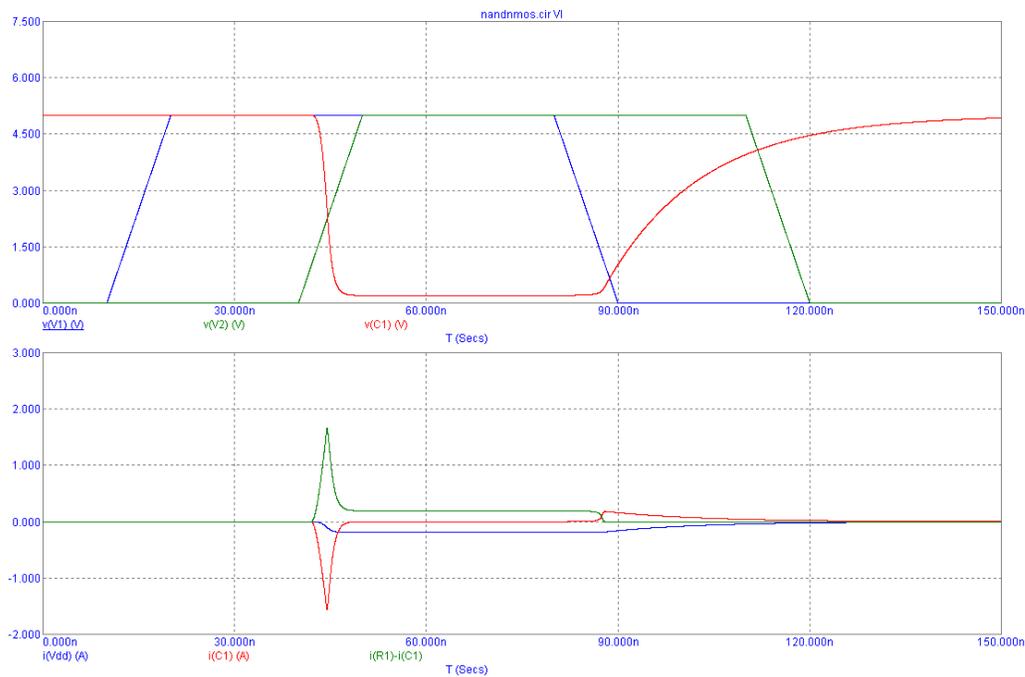


Figura 5.2: Risultato dell'analisi Transient del circuito di Fig. 5.1 relativo ad un NAND nMOS con pull-up resistivo.

quanto riguarda la carica invece, riscontriamo nuovamente l'incapacità del pull-up resistivo di condurre sufficiente corrente da portare rapidamente l'uscita al valore alto. Notiamo di nuovo che durante la fase bassa del segnale d'uscita è presente una corrente non trascurabile che scorre tra i due riferimenti di alimentazione.

Effettuiamo una analisi di potenza osservando  $v(C1) \cdot i(C1)$  relativamente al condensatore d'uscita,  $v(Vdd) \cdot i(Vdd)$  per il riferimento positivo di tensione,  $i(R1) \cdot v(R1)$  per il resistore del pull-up e  $(i(R1) - i(C1)) \cdot v(3)$  per i tratti drain-source del pull-down.

In Fig. 5.3 possiamo notare come durante la fase di discesa della tensione d'uscita la potenza passa dal condensatore al pull-down, il quale la dissipa resistivamente; nella fase bassa dell'uscita la potenza ricade quasi interamente<sup>2</sup> sul resistore R1 (mentre è erogata da Vdd), sul quale scorre sempre una corrente non trascurabile. Nella fase di salita invece la potenza da Vdd viene in parte immagazzinata nel condensatore ed in parte dissipata sul pull-up; la potenza sul pull-down invece scende dal precedente valore estremamente basso a zero. Trascuriamo come sempre il consumo di potenza dei generatori d'ingresso, in quanto abbiamo trascurato la capacità di gate dei transistor e dunque la corrente coinvolta nella carica/scarica dei nodi di gate in pratica è nulla.

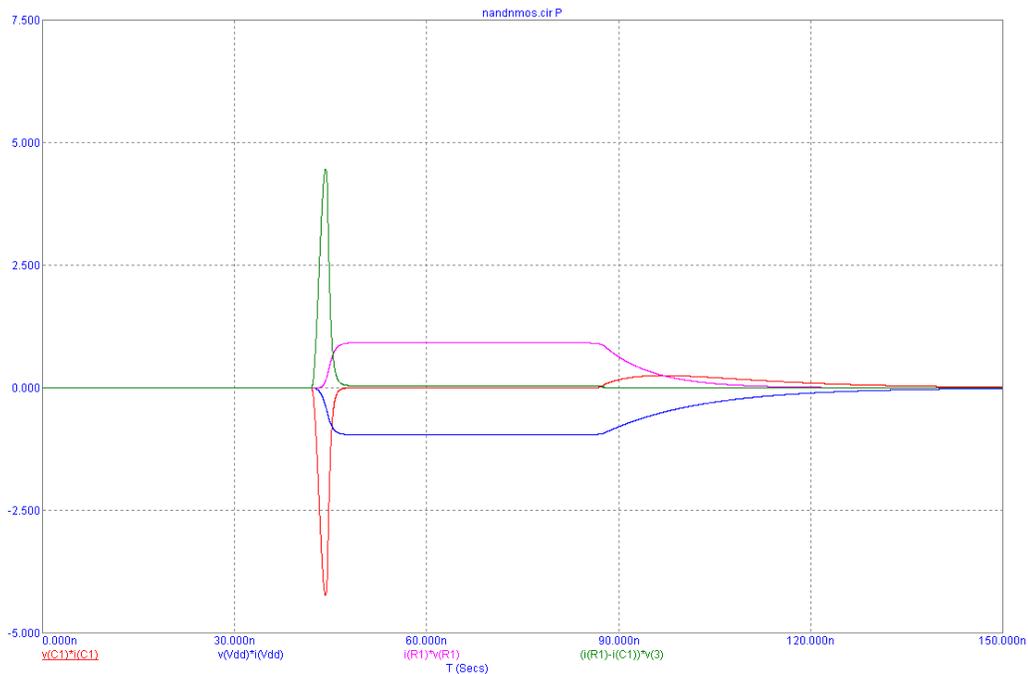


Figura 5.3: Risultato dell'analisi Transient del circuito di Fig. 5.1 relativo ad un NAND nMOS con pull-up resistivo, con visualizzazione delle potenze dei bipoli.

#### Esercizio 24: NAND CMOS a 2 ingressi

Carichiamo il file `nandnmos.CIR` e salviamolo con nome `nandcmos.CIR`.

Affinchè la rete di pull-up sia accesa solamente quando i segnali di ingresso non sono contemporaneamente alti, dobbiamo introdurre due pMOS in parallelo. In poche parole, la rete di pull-up rappresenta il duale della rete di pull-down, proprietà sempre verificata per una generica funzione logica CMOS: è sufficiente determinare la realizzazione di una delle due reti per ottenere, per dualità, la realizzazione dell'altra.

Quindi dobbiamo creare due pMOS (utilizzando gli stessi parametri di `invertercmos.CIR`) chiamati M1u ed M2u, collegandoli in parallelo in sostituzione di R1; dopodichè il gate di M1u va collegato al generatore V1 mentre il gate di M2u va collegato al generatore

<sup>2</sup>Confrontato con Fig. 3.11, notiamo che la caduta sui transistor è trascurabile: il motivo principale è la ridotta tensione di soglia, che equivale ad una maggiore corrente e dunque minore resistenza.

V2; anche per i pMOS utilizziamo una tensione di soglia bassa pari a -1. Il risultato è mostrato in Fig. 5.4; per verificare il corretto collegamento dei componenti, devono risultare 5 valori di tensione, ovvero due di gate e tre di drain<sup>3</sup>.

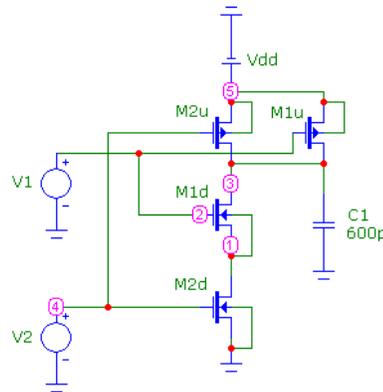


Figura 5.4: Il circuito di un NAND CMOS.

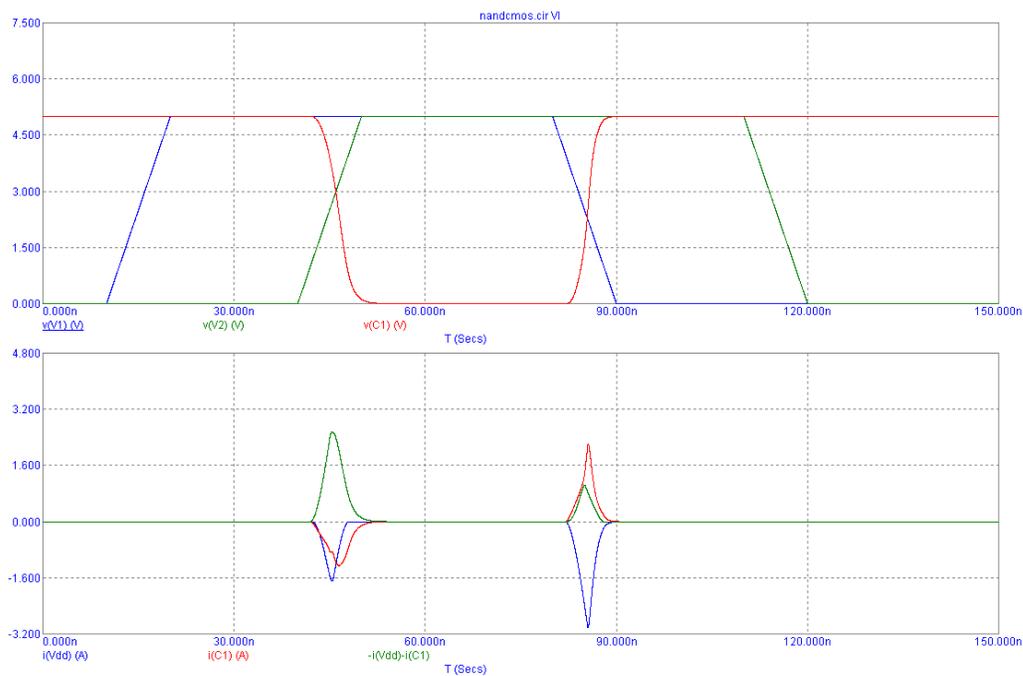


Figura 5.5: Risultato dell'analisi Transient del circuito di Fig. 5.4 relativo ad un NAND CMOS.

Passando all'analisi Transient, vogliamo osservare  $v(V1)$ ,  $v(V2)$ ,  $v(C1)$  per le tensioni,  $i(Vdd)$ ,  $i(C1)$  e  $-i(Vdd)-i(C1)$  per le correnti. In Fig. 5.5 riscontriamo che con un pull-up pMOS il tempo di salita del segnale d'uscita è accettabile. Notiamo inoltre che durante una transizione vi è corrente che scorre sia sul pull-up che su pull-down. Per

<sup>3</sup>E' sempre possibile sovrapporre due interconnessioni senza introdurre un nodo di intersezione: è sufficiente evitare che la nuova interconnessione inizi o termini sulla interconnessione preesistente.

capire meglio cosa succede osserviamo le potenze, in questo caso  $v(C1) \cdot i(C1)$  relativamente al condensatore d'uscita,  $v(Vdd) \cdot i(Vdd)$  per il riferimento positivo di tensione,  $-i(Vdd) \cdot (v(5) - v(3))$  per i tratti drain-source del pull-up e  $(-i(Vdd) - i(C1)) \cdot v(3)$  per i tratti drain-source del pull-down; scegliamo come **Y Range** l'intervallo 16, -16, 4.

In Fig. 5.6 possiamo notare come, analogamente al caso dell'invertitore CMOS, viene scambiata potenza solamente durante le transizioni dell'uscita. La differenza rilevante rispetto al caso di Fig. 3.14 è che il generatore fornisce potenza anche nella fase di discesa del segnale d'uscita: il motivo risiede nella scelta delle tensioni di soglia, in quanto durante entrambe le transizioni vi è appunto un intervallo di tempo in cui sia il pull-up che il pull-down conducono, causando lo scorrimento di corrente fra le due alimentazioni. In particolare, durante la fase di discesa della tensione d'uscita la potenza passa dal condensatore al pull-down, il quale la dissipa resistivamente, ma anche dal generatore al condensatore (attraverso il pull-up che ne dissipa una parte): può accadere così come in Figura che vi siano delle oscillazioni del segnale d'uscita. Nella fase di salita invece viene fornita potenza da Vdd, la quale viene in parte immagazzinata nel condensatore, in parte dissipata sul pull-up ed in parte sul pull-down<sup>4</sup>.

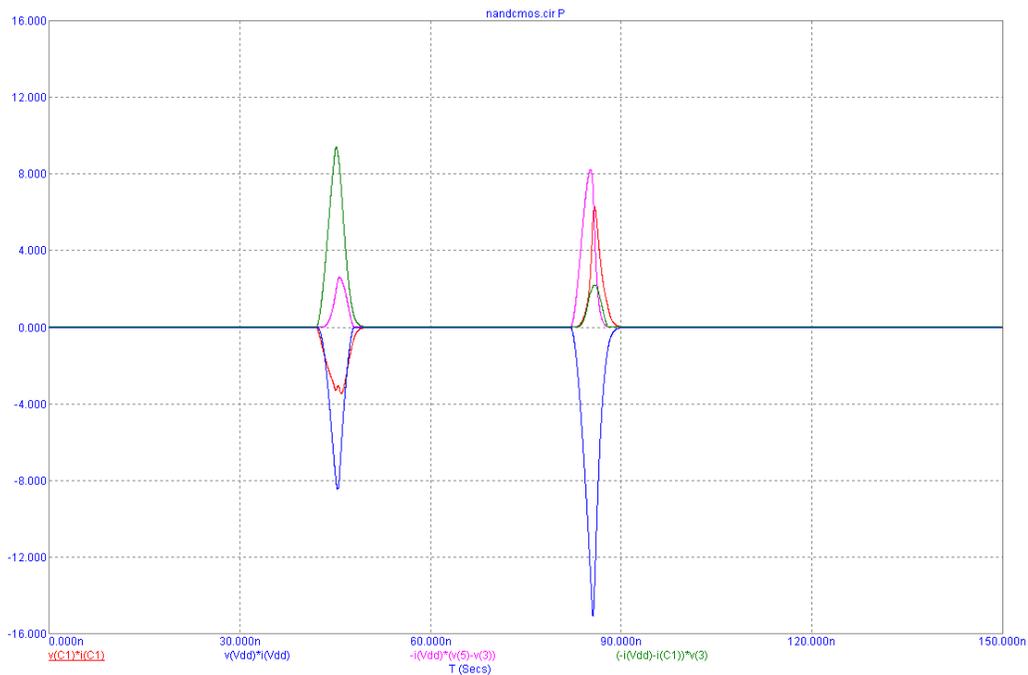


Figura 5.6: Risultato dell'analisi Transient del circuito di Fig. 5.4 relativo ad un NAND CMOS, con visualizzazione delle potenze dei bipoli.

Finora ci siamo concentrati sulla funzione logica NAND, ma perchè non utilizzare la più conosciuta AND? Il motivo risiede nel particolare comportamento della corrente  $i_{DS}(v_{DS})$  di un transistor MOS, come possiamo verificare nel seguente Esercizio.

### Esercizio 25: AND CMOS a 2 ingressi

<sup>4</sup>Anche se non visibile in Figura, anche in questo caso possono verificarsi oscillazioni nella tensione d'uscita.

Salviamo anzitutto il file `nandcmos.CIR` con nome `andcmos.CIR`.

Per ottenere una funzione AND dobbiamo semplicemente invertire pull-up con pull-down, ricavando il circuito di Fig. 5.7.

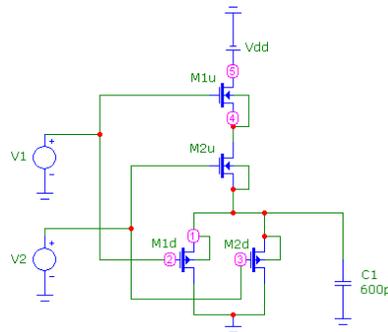


Figura 5.7: Il circuito di un AND CMOS.

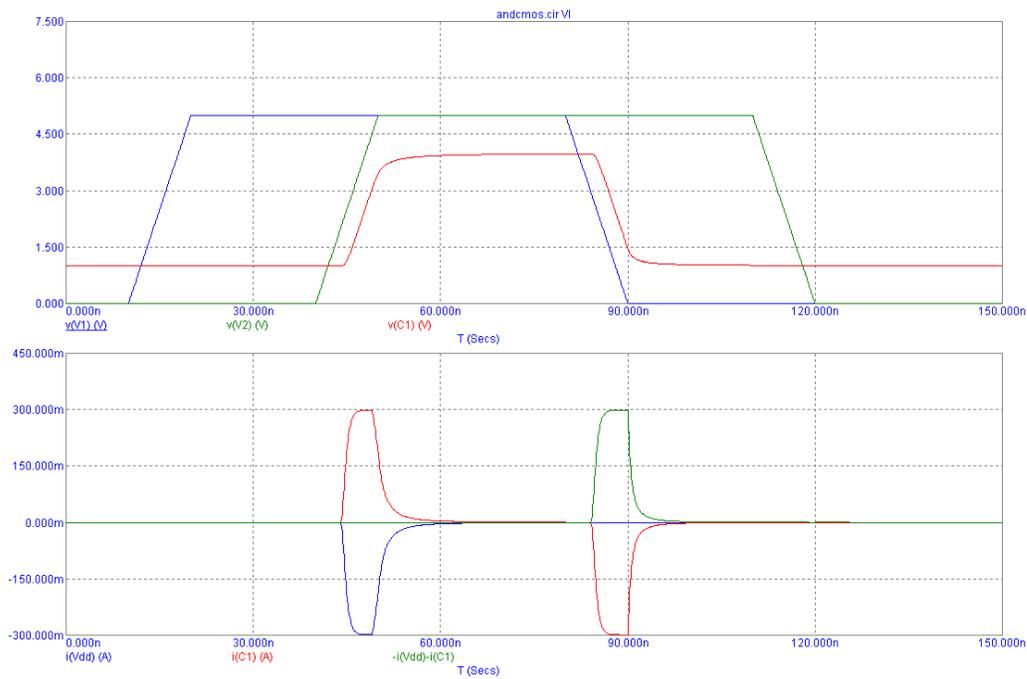


Figura 5.8: Risultato dell'analisi Transient del circuito di Fig. 5.7 relativo ad un AND CMOS.

L'analisi Transient per questo circuito in Fig. 5.8 ci mostra che la porta logica AND presenta una velocità di variazione dell'uscita paragonabile a quella della porta NAND, ma non garantisce livelli d'uscita accettabili. Il motivo risiede nel fatto che un transistor nMOS (o pMOS) vede ridursi in valore assoluto la sua differenza di tensione  $v_{GS}$  durante la fase di carica (o scarica) del condensatore d'uscita: più la tensione d'uscita si avvicina al valore limite ossia 0V per un transistor nel pull-down e 5V per un transistor nel pull-up, meno il transistor è in grado di condurre corrente e raggiungere tale valore. Il risultato inevitabile è che i livelli d'uscita si assestano su valori intermedi, con conseguente minore qualità del segnale d'uscita; precisamente, poichè il

transistor è spento se  $v_{GS}$  è minore della tensione di soglia, i livelli di uscita distano una soglia (1 V nel nostro caso) dai livelli delle alimentazioni. La corrente scorre dal pull-up al condensatore nella fase di salita, e dal condensatore al pull-down nella fase di discesa: questo significa che le reti di pull-up e pull-down non sono mai entrambe attive, a differenza del caso del NAND.

Passando all'analisi in potenza, osserviamo  $v(C1)*i(C1)$  per il carico,  $i(Vdd)*v(Vdd)$  per il generatore,  $-i(Vdd)*(v(Vdd)-v(C1))$  per il pull-up e  $(-i(Vdd)-i(C1))*v(C1)$  per il pull-down. In Fig. 5.9 vediamo che la potenza scambiata si concentra sempre durante le transizioni, con code più lunghe dovute ai maggiori tempi di assestamento. In termini assoluti la potenza scambiata è minore, il tutto dovuto alla minore corrente in gioco come riscontrabile da Fig. 5.5.

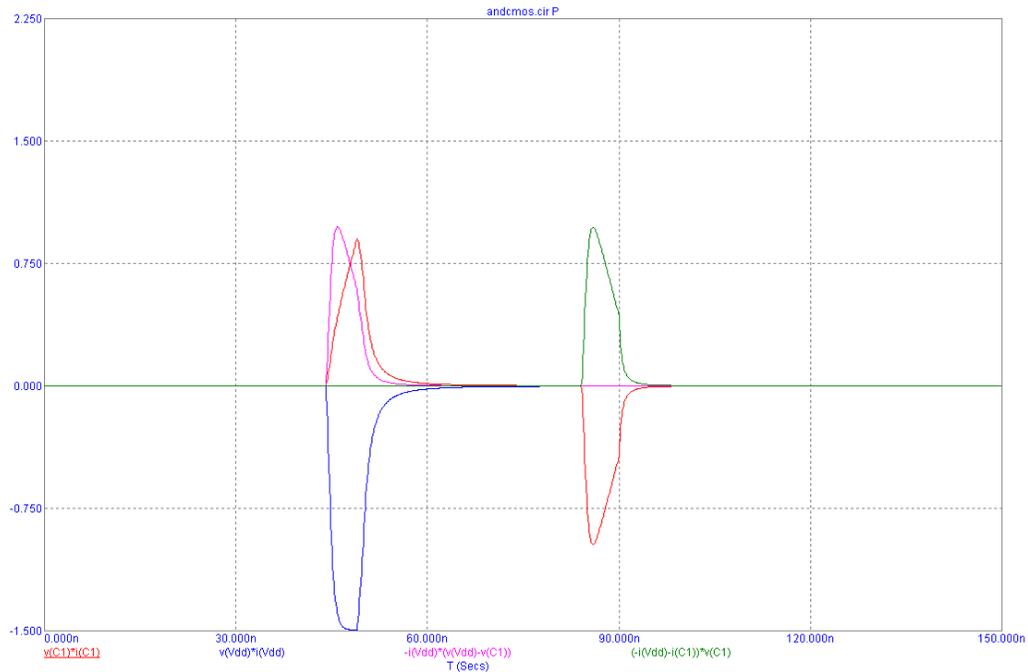


Figura 5.9: Risultato dell'analisi Transient del circuito di Fig. 5.7 relativo ad un AND CMOS, con visualizzazione delle potenze dei bipoli.

## 5.2 Circuiti Misti

In questa Sezione introduciamo le porte logiche ed i generatori di segnali digitali. Combineremo tali componenti assieme ai corrispondenti analogici per comprendere come i segnali analogici interagiscano con quelli digitali: una analisi di tipo misto può essere utile per studiare circuiti in cui alcune parti richiedano di scendere nel dettaglio elettrico, mentre altre parti siano troppo complesse da essere analizzabili agevolmente nel dominio analogico.

**Esercizio 26:** Porta NAND a 2 ingressi con ingressi/uscita analogici

In questo Esercizio vogliamo sostituire la funzione NAND realizzata in CMOS con il componente digitale (porta) NAND incluso in Micro-Cap, mantenendo segnali d'ingresso e d'uscita analogici. Anzitutto creiamo un nuovo schematico con nome `nandporta.CIR` nel quale copiamo i due generatori `V1` e `V2` dell'Esercizio precedente, nonché il carico `C1`. A questo punto introduciamo la porta NAND data da `Digital Primitives|Standard Gates|Nand Gates|Nand2`, per la quale impostiamo quale parametro `TIMING MODEL` il set `DO_GATE` e come `I/O MODEL` il set `IO_LV-A`. Notiamo in particolare la presenza nel modello della porta dei parametri `POWER NODE` e `GROUND NODE`: tali parametri rappresentano i poli nascosti della porta relativi alle alimentazioni e sono impostati a 5 V e 0 V in modo predefinito tramite le costanti `$G_DPWR` e `$G_DGND`. E' ovvio che per un generico circuito vanno ovviamente modificati fornendo dei riferimenti dedicati<sup>5</sup>: per far questo anzitutto istanziamo separatamente una `Battery` di nome `Vdd` avente valore 5 V, il cui polo negativo è connesso a massa. A questo punto tracciamo due interconnessioni, che iniziano rispettivamente sul polo positivo e negativo di `Vdd` e terminano sconnesse. Facciamo doppio click sull'interconnessione superiore, aprendo così la finestra `Wire` in cui, nella regione `Node Name(s)`, aggiungiamo un nome a piacimento quale per esempio `MYPWR`; facciamo lo stesso con l'interconnessione inferiore, dandogli nome `MYGND`. Vediamo che nel circuito le interconnessioni presentano il nome aggiuntivo da noi fornito: a questo punto possiamo usare questo nome rispettivamente per i parametri `POWER NODE` e `GROUND NODE` della porta NAND. Con questo metodo abbiamo quindi definito dei nodi che sono stati poi utilizzati per connettere i poli nascosti della porta digitale.

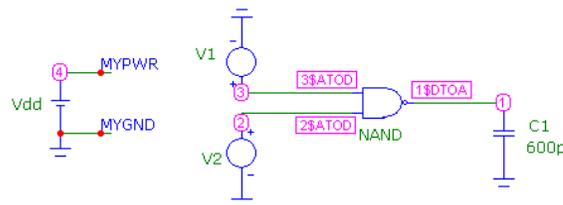


Figura 5.10: Il circuito di test di una porta NAND con ingressi/uscita analogici.

Il circuito risultante è mostrato in Fig. 5.10. Si noti che la visualizzazione dei nodi distingue fra nodi analogici, indicati con cerchi, e nodi digitali, indicati con quadrati.

Per quanto riguarda l'analisi, in questo caso possiamo osservare la tensione d'uscita  $v(C1)$ , assieme a  $v(V1)$  e  $v(V2)$ , analogamente a quanto svolto nel caso di Fig. 5.5; aggiungiamo inoltre in un gruppo separato l'osservazione di  $d(1\$DTOA)$ ,  $d(3\$ATOD)$  e  $d(2\$ATOD)$ , ossia i corrispondenti valori digitali<sup>6</sup>. Dalla Fig. 5.11 possiamo notare anzitutto un aspetto: la visualizzazioni dei segnali digitali non ha una scala assoluta, bensì gli andamenti dei segnali vengono mostrati uno sotto l'altro per praticità visiva. Concentrandoci sul grafico superiore, riscontriamo che l'uscita ha una dinamica troppo lenta e dunque la porta ha un comportamento peggiore rispetto al caso dell'Es. 24 a parità di capacità d'uscita: possiamo ritrovare un andamento ragionevole per esempio riducendo la capacità a 60 fF. In ogni caso, tuttavia, gli estremi del segnale d'uscita sono sensibilmente distanti dai riferimenti di alimentazione: nel dominio analogico questo sarebbe dovuto alla presenza di una resistenza apprezzabile fra le alimentazioni della porta NAND, ma poichè la porta opera in digitale, questa caratteristica dipende dal convertitore interno alla porta. Per quanto riguarda il grafico inferiore, si può vedere che un segnale d'ingresso effettua una transizione in salita (discesa) appena la tensione diventa

<sup>5</sup>Nel nostro circuito non sarebbe necessario, però l'esercizio è indubbiamente utile per comprendere il caso generale.

<sup>6</sup>L'uso della  $d$  in luogo della  $v$  ha l'unico scopo di rimuovere l'unità di misura, che altrimenti non ha alcun significato nel dominio digitale.

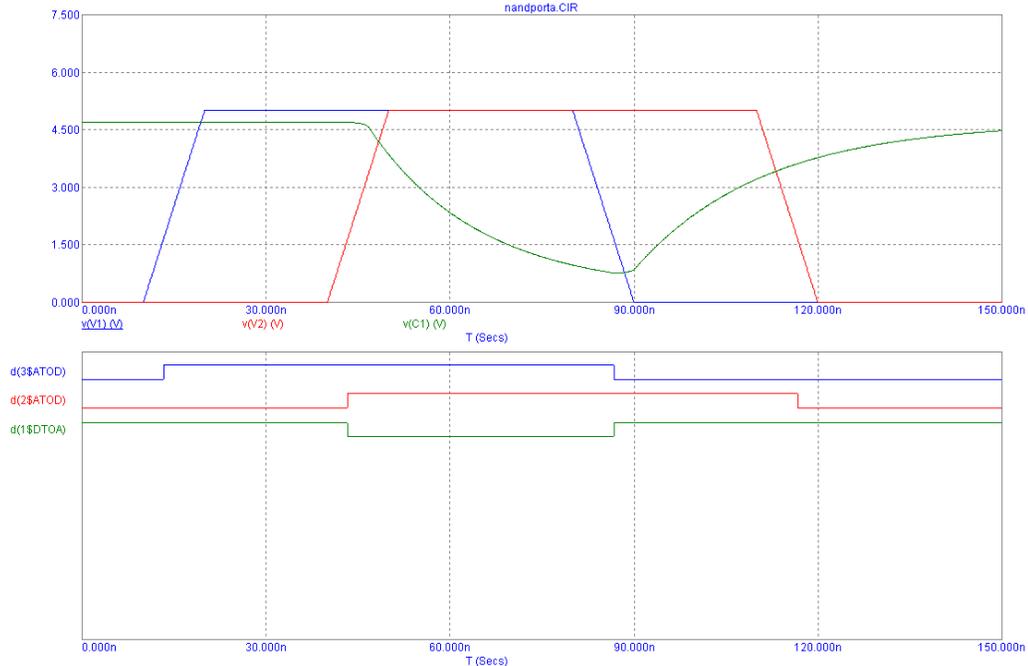


Figura 5.11: Risultato dell'analisi Transient del circuito di Fig. 5.10 relativo ad una porta NAND con ingressi/uscita analogici.

maggiore(minore) della soglia logica pari a 1.5V; il segnale d'uscita invece restituisce l'uscita digitale con dei tempi di commutazione dati dai parametri in **Timing Model**: poichè abbiamo scelto valori nulli, l'uscita varia istantaneamente. Il valore delle soglie logiche, così come altri parametri, è incluso nel modello di conversione da analogico a digitale (e viceversa), che nel nostro caso è implicito ed interno alla porta: nel prossimo esercizio andremo invece ad esplicitare la conversione desiderata.

**Esercizio 27:** *Porta NAND a 2 ingressi con ingressi/uscita analogici e conversione esplicita*

In questo Esercizio vogliamo introdurre dei convertitori analogico-digitale espliciti per gli ingressi ed un convertitore digitale-analogico esplicito per l'uscita. Anzitutto salviamo il precedente schematico con nome `nandporta_conv.CIR`. Introduciamo a questo punto il componente **Digital Primitives|AtoD Converters|0** e lo istanziamo due volte con nomi `O1` e `O2`, scegliendo come modello `D074AC`. Colleghiamo il polo **Analog** del convertitore `O1` al generatore `V1` ed il polo **Digital** all'ingresso superiore della porta NAND; colleghiamo analogamente il convertitore `O2` al generatore `V2` e all'ingresso inferiore della porta NAND. Ora introduciamo il componente **Digital Primitives|DtoA Converters|N** con nome `N1` e lo istanziamo con modello `DIN74LV-A`, collegando il polo **Digital** all'uscita della porta NAND ed il polo **Analog** al condensatore. Ci rimane da connettere i riferimenti dei convertitori: per fare ciò ci conviene modificare leggermente il circuito utilizzando il componente **Analog Primitives|Connectors|Tie**. Un **Tie** rappresenta la terminazione di una connessione e permette di collegare fra loro due

nodi, a patto che entrambi siano adiacenti ad un **Tie** avente lo stesso nome. Istanziamo dunque un **Tie**, che chiamiamo **MYPWR**, e lo colleghiamo al polo **High-level** di **N1**; analogamente istanziamo un altro **Tie** chiamato **MYPWR**, cancelliamo l'interconnessione chiamata **MYPWR** e ne creiamo una nuova senza nome al termine della quale inseriamo il **Tie** creato. Con questo metodo abbiamo collegato l'alimentazione al riferimento alto del convertitore digitale-analogico. Possiamo fare lo stesso per il riferimento **MYGND**, introducendo un **Tie** chiamato **MYGND** e rimuovendo tutte le masse presenti nel circuito principale per sostituirle ognuna con un **Tie** sempre chiamato **MYGND**; istanziamo infine tre ulteriori **Tie** **MYGND** e li colleghiamo al polo **Low-level** di **N1** e **Reference** di **O1** ed **O2**. Questa soluzione, rispetto a dare un nome alle interconnessioni, permette maggiore libertà nella connessione di parti del circuito; si noti inoltre che non è più necessario specificare per la porta i nodi di alimentazione e l'I/O Model, in quanto ingressi ed uscite sono già in digitale.

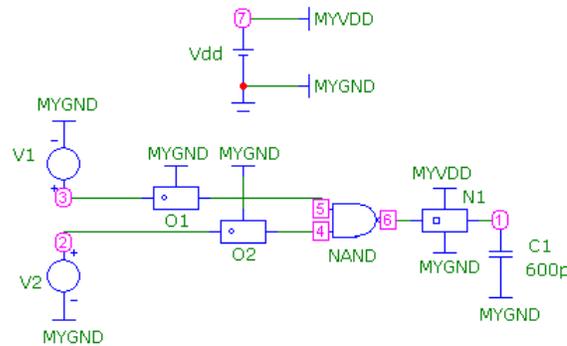


Figura 5.12: Il circuito di test di una porta NAND con ingressi/uscita analogici e conversione esplicita.

Il circuito risultante è mostrato in Fig. 5.12; va precisato che è stato necessario spaziare le interconnessioni in ingresso al NAND per evitare che **O2** si collegasse all'interconnessione superiore tramite il suo polo **Reference**.

Per quanto riguarda l'analisi, in questo caso possiamo osservare la tensione d'uscita  $v(C1)$ , assieme a  $v(V1)$  e  $v(V2)$ ; aggiungiamo inoltre in un gruppo separato l'osservazione di  $d(6)$ ,  $d(5)$  e  $d(4)$ , ossia i corrispondenti valori digitali. Dalla Fig. 5.13 vediamo un andamento per i segnali analogici molto simile a quello di Fig. 5.11, mentre per i segnali digitali vi sono alcune differenze importanti. Anzitutto i segnali di ingresso nell'intervallo  $[1.5\text{ V}, 3.5\text{ V}]$  sono sostanzialmente indefiniti (più precisamente, passando il puntatore sopra, per una salita il valore è "R" come *rising*, per una discesa "F" come *falling*). Gli stati digitali quali 0,1,X,F,R sono definiti nel modello del convertitore analogico-digitale e possono essere modificati a piacimento: dato un indice  $\langle n \rangle$  maggiore di zero per lo stato, per esso è possibile configurare un parametro  $S\langle n \rangle\text{NAME}$  per il nome,  $S\langle n \rangle\text{VHI}$  per il limite superiore dell'intervallo e  $S\langle n \rangle\text{VLO}$  per il limite inferiore dell'intervallo. Per il convertitore digitale-analogico invece i parametri sono differenti, in quanto il convertitore deve essere in grado di tradurre valori nel discreto in valori nel continuo: per questa ragione nel modello ad ogni stato corrisponde un parametro  $S\langle n \rangle\text{NAME}$  per il nome,  $S\langle n \rangle\text{RHI}$  per la resistenza verso l'alimentazione superiore,  $S\langle n \rangle\text{RLO}$  per la resistenza verso l'alimentazione inferiore ed  $S\langle n \rangle\text{TSW}$  per il tempo di permanenza nello stato.

Se vogliamo migliorare al tempo stesso gli estremi d'uscita ed il tempo di commutazione del segnale d'uscita analogico, possiamo ridurre  $\text{RLO}$  per lo stato "0" ed  $\text{RHI}$  per

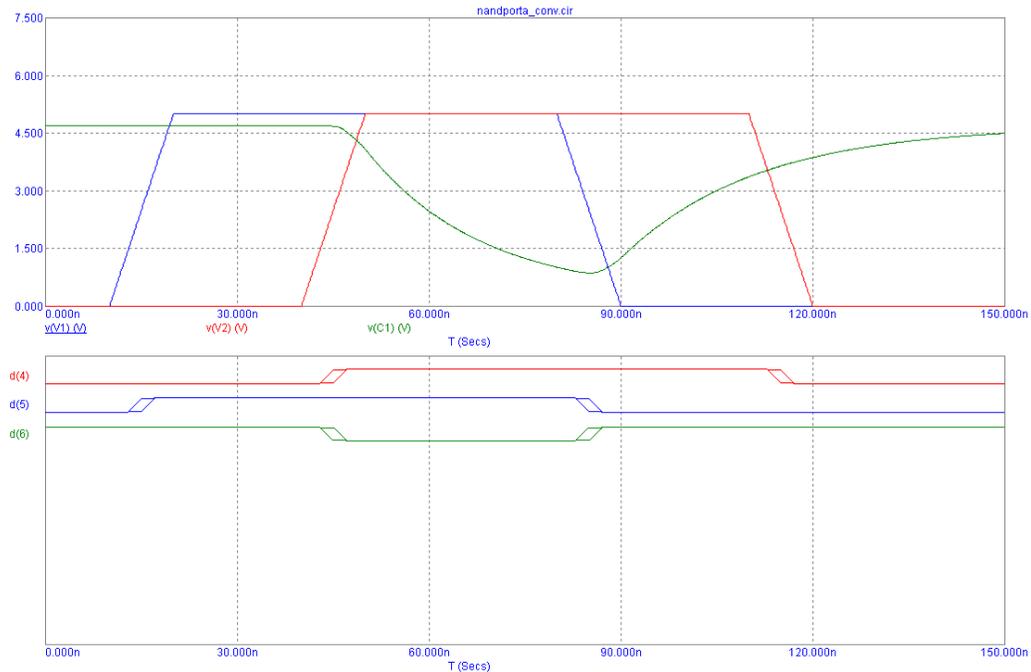


Figura 5.13: Risultato dell'analisi Transient del circuito di Fig. 5.12 relativo ad una porta NAND con ingressi/uscita analogici e conversione esplicita.

lo stato “1”: per esempio dividendoli entrambi per dieci vediamo un sensibile miglioramento della qualità dell'uscita. Bisogna sottolineare che non è possibile replicare in modo identico il segnale d'uscita riscontrato per un NAND CMOS, in quanto la conversione dell'uscita comporta un ritardo impossibile da compensare: infatti il convertitore digitale-analogico inizia la commutazione del segnale analogico d'uscita solo dopo che il segnale digitale completa la sua commutazione (la quale è istantanea ma può avvenire con un certo ritardo di propagazione, sulla base del TIMING MODEL scelto).

### Esercizio 28: NAND CMOS a ingressi/uscita digitali e conversione esplicita

In questo Esercizio vogliamo analizzare un circuito analogico i cui ingressi/uscita sono espressi in digitale. Come prima cosa salviamo il file `nandcmos.CIR` con nome `nandcmos_dig.CIR`, dopodichè rimuoviamo i generatori di ingresso. Ora introduciamo un componente `Digital Primitives|Stimulus Generators|Stim1`, che rappresenta un generatore di bit: chiamiamolo `I1` e nella regione inferiore premiamo il pulsante `Set`. A questo punto è stato predisposto un set di valori<sup>7</sup> che il componente darà in uscita in determinati istanti (assoluti) di tempo: noi scegliamo

```
.define I1
+0n 0
+10n 1
+70n 0
```

<sup>7</sup>Si noti che questi set costituiscono delle modifiche che risiedono nello schematico e non vengono replicate copiando il componente in un altro schematico.

in cui `I1` rappresenta un nome univoco all'interno dello schematico, non necessariamente uguale al nome del componente. Facciamo lo stesso con un secondo `Stim1` che chiamiamo `I2`, in cui impostiamo come set

```
.define I2
+0n 0
+40n 1
+100n 0
```

Introduciamo due convertitori digitale-analogico (DA), uno analogico-digitale (AD), nonché il circuito di generazione dei riferimenti, copiandoli direttamente dall'Es. 27. Colleghiamo un convertitore DA tra `I1` e l'interconnessione che porta ai gate dei transistor 1, mentre l'altro tra `I2` e l'interconnessione che porta ai gate dei transistor 2; colleghiamo il polo analogico del convertitore AD al terminale positivo di `C1`, lasciando sconnesso il polo digitale. Infine approfittiamo della situazione per utilizzare dei `Tie` per i riferimenti alto/basso della parte analogica del circuito.

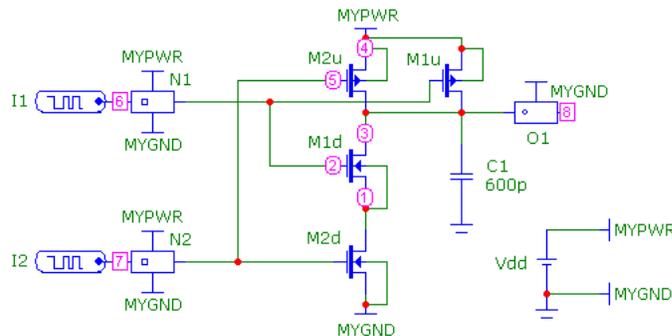


Figura 5.14: Il circuito di un NAND CMOS con ingressi/uscita digitali e conversione esplicita.

Per quanto riguarda l'analisi, data la Fig. 5.14 vogliamo osservare  $v(2)$ ,  $v(5)$  e  $v(3)$  per gli ingressi/uscita analogici e  $d(6)$ ,  $d(7)$  e  $d(8)$  per i corrispondenti digitali.

Il risultato è mostrato in Fig. 5.15. Per quanto riguarda il grafico superiore, notiamo l'analogia con la Fig. 5.5, a parte il fatto che a causa della conversione si ha che le tensioni analogiche di ingresso hanno valori lievemente inferiori a 5 V e lievemente superiori a 0 V (oltre a presentare un ritardo dovuto alla conversione del gradino digitale in una rampa analogica). Siamo maggiormente interessati al comportamento in digitale e alle conversioni coinvolte: notiamo che gli ingressi sono sempre definiti, in quanto non sono frutto di conversione. Le uscite del circuito invece sono il risultato di una conversione dall'analogico e dunque presentano una indeterminazione nell'intervallo [1.5 V, 3.5 V], come visto per gli ingressi della porta NAND nell'Es. 27.

### 5.3 Circuiti Digitali

In quest'ultima Sezione abbandoniamo il dominio analogico per studiare componenti puramente digitali. In questo caso perdiamo l'informazione sull'ampiezza dei segnali, ma riusciamo ad analizzare in modo più snello le dipendenze temporali fra diversi segnali.

**Esercizio 29:** *Porta NAND*

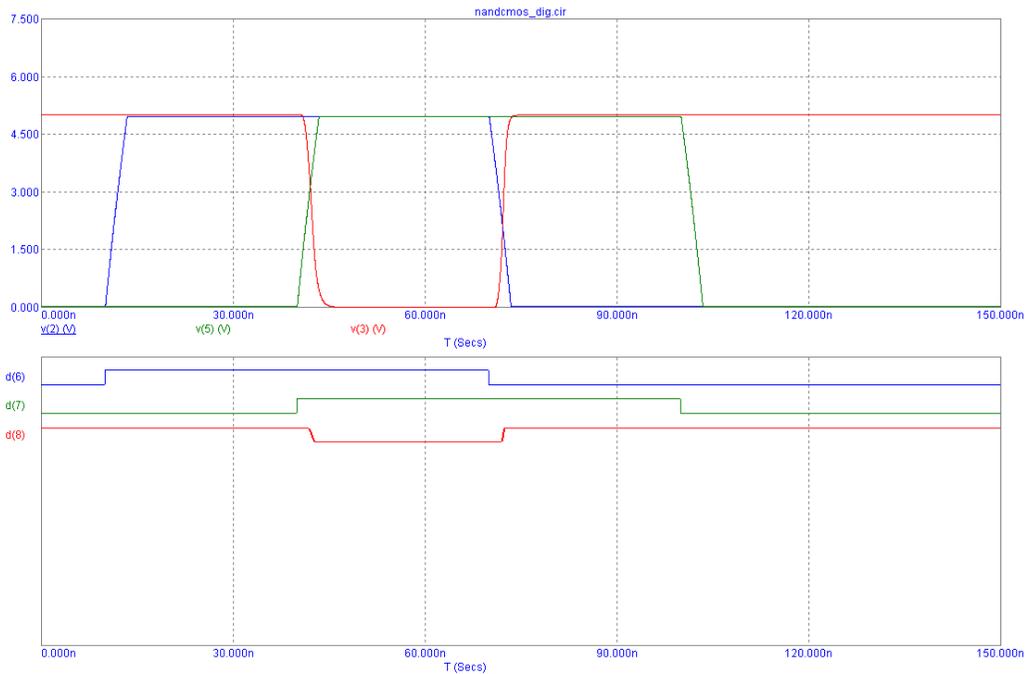


Figura 5.15: Risultato dell'analisi Transient del circuito di Fig. 5.14 relativo ad un NAND CMOS con ingressi/uscita digitali e conversione esplicita.

Creiamo un nuovo schematico con nome `nandporta_dig.CIR` in cui istanziamo un `Nand2` ed un `Digital Primitives|Stimulus Generators|Stim2`, l'ultimo dei quali rispetto all'Es. 28 ha il solo scopo di introdurre i generatori digitali multi-bit. Per il `Nand2` questa volta scegliamo come `TIMING MODEL` il `DLY_TTL`, in modo da avere un ritardo di propagazione dovuto alla logica. Per lo `Stim2` che chiamiamo `In`, inseriamo

```
.define Set
+0n 00
+10n 10
+40n 11
+70n 01
+100n 00
```

replicando l'andamento degli ingressi utilizzato nell'Es. 28 ma riferito ad un vettore di bit. Colleghiamo le uscite di `In` alla porta NAND, ottenendo il semplice circuito di Fig. 5.16.

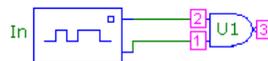


Figura 5.16: Il circuito di test di una porta NAND con ingressi/uscita digitali.

Per quanto riguarda l'analisi, osserviamo `d(1)`, `d(2)` e `d(3)`: dalla Fig. 5.17 ritroviamo il comportamento atteso per gli ingressi, mentre l'uscita ha un ritardo fisso relativo alla transizione di salita o discesa, descritto nel `TIMING MODEL` della porta.

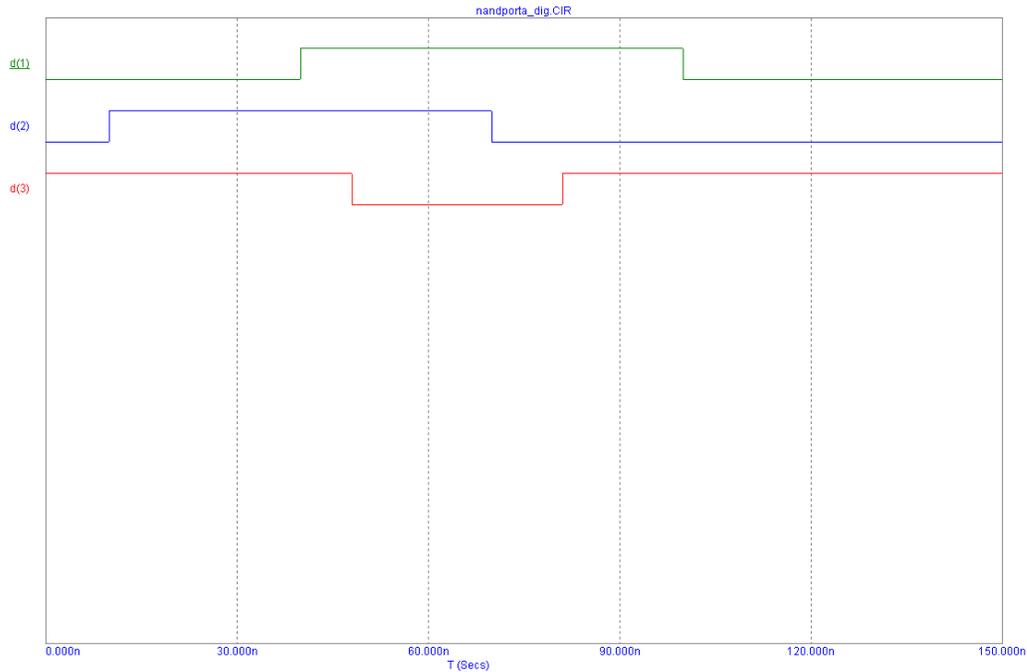


Figura 5.17: Risultato dell'analisi Transient del circuito di Fig. 5.16 relativo ad una porta NAND con ingressi/uscita digitali.

**Esercizio 30:** *Porta NAND per analisi tramite animazione manuale*

Come variante agli ingressi tramite stimoli digitali, è possibile svolgere una analisi DC attraverso componenti digitali di ingresso che possono essere commutati manualmente direttamente dalla pagina dello schematico. I risultati possono poi essere visualizzati attraverso componenti d'uscita animati. Salviamo il precedente file con nome `nandporta_dig_anim.CIR`, dopodichè rimuoviamo il componente d'ingresso per inserire due `Animation|Animated Digital Switch` chiamati I1 ed I2. Istanziamo inoltre un `Animation|Animated Digital LED` chiamato U. Colleghiamo gli switch agli ingressi della porta NAND ed il led all'uscita, ottenendo il circuito di Fig. 5.18.

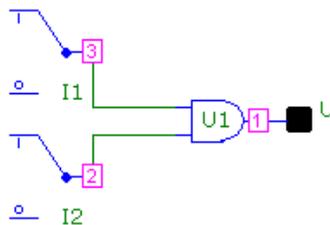


Figura 5.18: Il circuito di test di una porta NAND per analisi tramite animazione manuale.

In questo caso dobbiamo attivare una `Dynamic DC`, che ricordiamo ci consente di manipolare il circuito senza esplicitamente definire le variabili osservate e quindi senza visualizzare gli andamenti dei relativi segnali. Per questa analisi accettiamo i parametri

predefiniti, dopodichè siamo in grado di commutare gli ingressi facendo semplicemente doppio click sullo switch: come è possibile vedere, i valori dei nodi digitali vengono aggiornati ed in particolare il led d'uscita diventa rosso se associato ad un segnale pari a 1, nero altrimenti. Questo approccio è molto pratico per individuare i valori dei nodi in un circuito combinatorio avente ingressi digitali.



# Capitolo 6

## Memorie

In questo Capitolo trattiamo le memorie, intese come circuiti in grado di preservare il valore di determinati nodi di tensione. Ci concentriamo sulle memorie *volatili*, ossia tali da mantenere il proprio stato esclusivamente in presenza di alimentazione elettrica, escludendo le memorie non-volatili quali le ROM, per le quali il valore è codificato nel circuito stesso, oppure le Flash, caratterizzate da tecnologie integrate molto particolari che esulano dagli argomenti trattati finora. Fra le memorie volatili siamo interessati alle memorie *ad accesso casuale* (RAM), nelle quali è possibile accedere direttamente ad una determinata regione di memoria, con tempi di accesso indipendenti dalla regione e dall'istante di tempo<sup>1</sup>.

Inizieremo il nostro studio con i *latch*, che rappresentano unità elementari di memoria, per poi salire fino ai *flip-flop*, i quali sono impiegati nella realizzazione di logiche sincrone. Tralascieremo invece le memorie realizzate prettamente in tecnologia integrata, quali le SRAM e le DRAM.

### 6.1 Latch

#### Esercizio 31: Latch $\bar{S}\bar{R}$

Creiamo un nuovo schematico dal nome `latchsrneg.CIR`. Questo tipo di latch presenta due segnali di ingresso  $\bar{S}$  (“set” negato) e  $\bar{R}$  (“reset” negato), e due segnali di uscita  $Q$  e  $\bar{Q}$  che rappresentano il bit memorizzato ed il suo negato. Il significato dei nodi degli ingressi non è rilevante per la nostra trattazione e vengono riportati con i nomi sopraccitati solo per ragioni di consistenza con la letteratura. Sebbene esistano diversi tipi di latch, la scelta di questo particolare tipo è stata fatta in quanto nei precedenti esercizi abbiamo rivolto la nostra attenzione alle porte NAND: istanziamo dunque due `Nand2` con ritardi nulli chiamati `U1` e `U2` che costituiscono gli unici componenti logici richiesti per questo tipo di memoria. Inseriamo un ingresso `Stim2` chiamato `In` in cui impostiamo:

```
.define Set
+0n 00
+20n 10
+40n 11
+60n 01
+80n 11
+100n 10
```

---

<sup>1</sup>Questa caratteristica è tipica delle memorie integrate, mentre l'accesso *sequenziale* è tipico dei supporti di memorizzazione basati su meccanica a rotazione.

+120n 00

per poter eseguire tutte le transizioni di interesse degli ingressi. Colleghiamo l'uscita superiore di  $In$  all'ingresso superiore di  $U1$  e l'uscita inferiore di  $In$  all'ingresso inferiore di  $U2$ , mentre colleghiamo l'uscita di  $U1$  all'ingresso superiore di  $U2$  e l'uscita di  $U2$  all'ingresso inferiore di  $U1$ . Infine chiamiamo le interconnessioni di ingresso superiore  $Sn$  ed inferiore  $Rn$ , nonché le interconnessioni di uscita superiore  $Q$  ed inferiore  $Qn$ . Otteniamo così il circuito di Fig. 6.1, di cui possiamo svolgere una analisi Transient

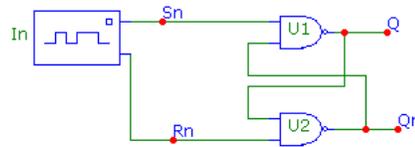


Figura 6.1: Il circuito di test di un latch  $\bar{S}\bar{R}$ .

osservando  $d(Sn)$ ,  $d(Rn)$ ,  $d(Q)$  e  $d(Qn)$  con **Time Range** pari a 140n e **X Range** pari a 140n,0,20n. Notiamo dalla Fig. 6.2 che i segnali d'uscita sono uno la negazione del-

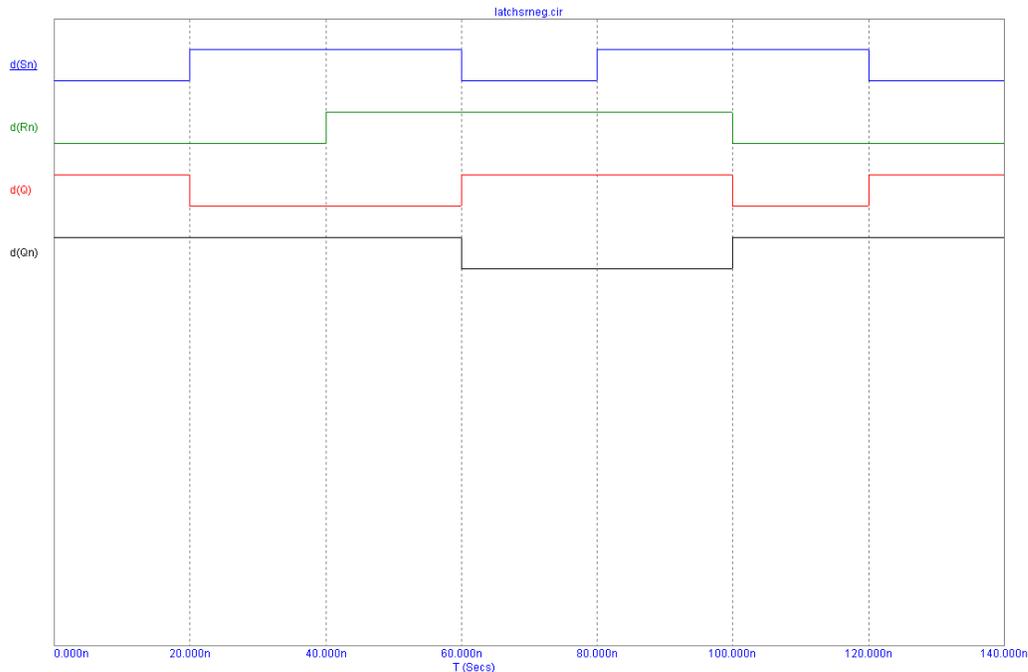


Figura 6.2: Risultato dell'analisi Transient del circuito di Fig. 6.1 relativo ad un latch  $\bar{S}\bar{R}$ .

l'altro per qualunque combinazione di ingressi eccetto 00: questa combinazione per un latch  $\bar{S}\bar{R}$  restituisce 11 ed è proibita in quanto non rispetta la condizione  $Q = \text{not}(Qn)$ . Quando invece  $Sn$  ed  $Rn$  hanno valori opposti, il segnale d'uscita  $Qn$  assume il valore di  $Sn$  (da cui il fatto che il segnale non-negato è chiamato "set", in quanto imposta il valore dell'uscita). Il caso più interessante di tutti però è la coppia d'ingresso 11: come è possibile vedere negli intervalli fra 40 ns e 60 ns, e fra 80 ns e 100 ns, l'uscita per ingresso 11 non ha lo stesso valore bensì ha un valore pari a quello assunto per gli

ingressi precedenti (01 nel primo intervallo e 10 nel secondo). Questo risultato è dovuto al feedback dei segnali d'uscita: poichè  $S_n = 1$ , allora  $Q = 1$  se e solo se  $Q_n = 0$ , ma al tempo stesso poichè  $R_n = 1$ , allora  $Q_n = 1$  se e solo se  $Q = 0$ . Evidentemente queste condizioni individuano due diverse possibilità:  $Q = 0, Q_n = 1$  nonchè  $Q = 1, Q_n = 0$ . Quale sia la configurazione d'uscita dipende a questo punto dal valore precedentemente assunto. Questo significa che è presente un effetto memoria il quale può essere sfruttato per preservare un bit a fronte di una variazione di un ingresso. In particolare, si parla di memoria *statica* in quanto l'informazione memorizzata permane indefinitamente a patto che gli ingressi (alimentazioni incluse) rimangano invariati<sup>2</sup>. In Tabella 6.1 per praticità è riassunta la tabella di verità del latch. Può essere interessante per questo

$\bar{S}$	$\bar{R}$	$Q$	$\bar{Q}$	Note
0	0	1	1	proibito
0	1	1	0	
1	0	0	1	memoria
1	1	$Q$	$\bar{Q}$	

Tabella 6.1: Tabella di verità per un latch  $\bar{S}\bar{R}$ .

circuito sperimentare l'utilizzo di ritardi di propagazione delle porte non-nulli: per fare ciò andiamo nelle proprietà di U1 ed U2, impostando per entrambi come **TIMING MODEL** il **DLY\_TTL** senza ulteriori modifiche. In Fig. 6.3 possiamo notare come a fronte della

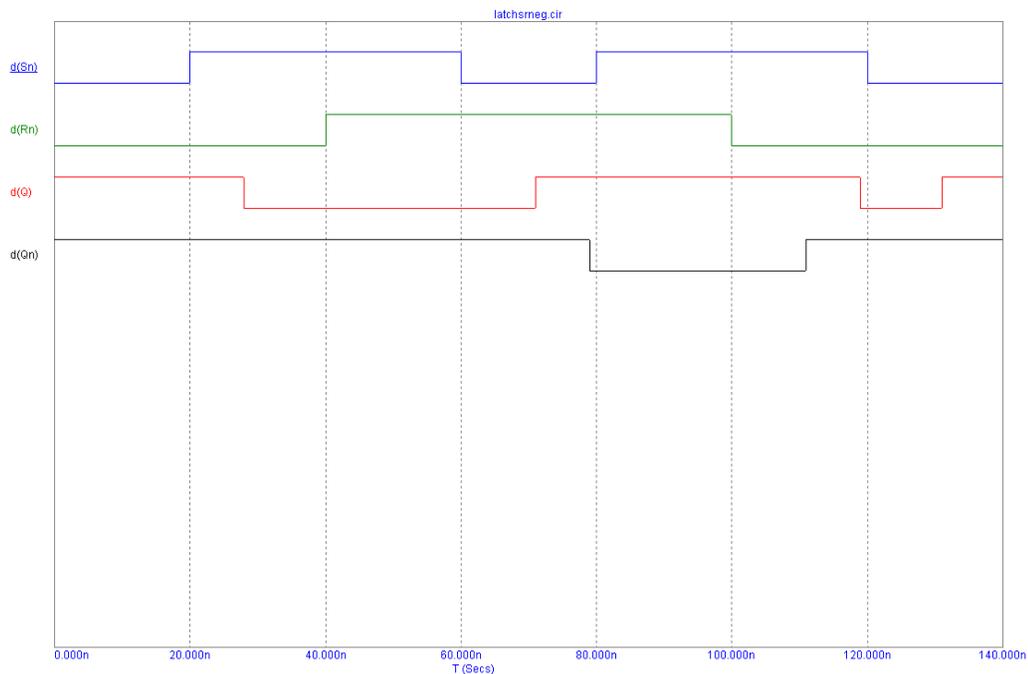


Figura 6.3: Risultato dell'analisi Transient del circuito di Fig. 6.1 relativo ad un latch  $\bar{S}\bar{R}$ , con ritardi di propagazione per le porte NAND.

prima transizione 00  $\rightarrow$  10, il valore di Q vari dopo un certo tempo. Più interessante è

<sup>2</sup>Il caso opposto è quello di una memoria *dinamica*, la quale a causa di fenomeni di perdite resistive non è in grado di preservare l'informazione memorizzata e necessita di una operazione di *refresh*.

il comportamento di  $Q$  e  $Qn$  nell'intervallo fra 40 ns e 60 ns a fronte della transizione  $11 \rightarrow 01$ , confrontato con il comportamento nell'intervallo fra 100 ns e 120 ns a fronte della transizione  $11 \rightarrow 10$ : vediamo che il ritardo di propagazione sulle uscite non è fissato, in quanto nel primo caso  $Q$  è la prima uscita a variare, mentre nel secondo caso l'ordine è invertito. In entrambi i casi comunque esiste un breve intervallo di tempo in cui le uscite sono alte e dunque non rispettano il desiderato vincolo logico di negazione.

Si noti in ultimo che non avremmo potuto usare l'approccio di analisi dell'Es. 30 per il semplice fatto che l'analisi è di tipo DC, in cui non viene tenuta traccia delle variazioni dei segnali: se provassimo ad utilizzare switch di ingresso ed impostassimo  $S_n = 1$ ,  $R_n = 1$ , otterremmo dei valori di uscita indeterminati.

L'esempio dell'Es. 31 può sembrare di scarsa utilità pratica, tuttavia come vedremo nei prossimi Esercizi esso rappresenta un componente fondamentale che permette di costruire elementi di memoria sempre più sofisticati.

### Esercizio 32: Latch $D$

Salviamo il file precedente con nome `latchd.CIR` e riportiamo i ritardi al modello `D0.GATE`. Eliminando le interconnessioni di  $S_n$  ed  $R_n$ , dopodichè inseriamo due nuovi `Nand2` che chiamiamo `U3` ed `U4`; colleghiamo l'uscita di `U3` all'ingresso superiore di `U1` ed `U4`, e l'uscita di `U4` all'ingresso inferiore di `U2`. Ora colleghiamo l'uscita superiore di `In` all'ingresso superiore di `U3` e l'uscita inferiore di `In` all'ingresso inferiore di `U3` ed `U4`. Chiamiamo infine `D` (come *data*) ed `E` (come *enable*) rispettivamente le interconnessioni relative all'uscita superiore ed inferiore di `In`. In ultimo, assicuriamoci che tutte le porte abbiano ritardi nulli. Quello che otteniamo in Fig. 6.4 è qualcosa di simile ad una catena

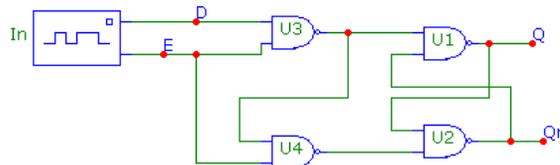


Figura 6.4: Il circuito di test di un latch  $D$ .

di due latch  $\bar{S}\bar{R}$ . Prima di passare all'analisi, modifichiamo il set degli ingressi con

```
.define Set
+0n 00
+20n 10
+40n 00
+60n 01
+80n 11
+100n 01
+120n 00
+140n 10
+160n 00
+180n 01
+200n 11
+220n 10
```

dopodichè effettuiamo una *Transient Analysis* in cui osserviamo  $d(D)$ ,  $d(E)$ ,  $d(Q)$  e  $d(Qn)$ , con *Time Range* pari a 240n e *Y Range* pari a 240n,0n,20n. Dalla Fig. 6.5

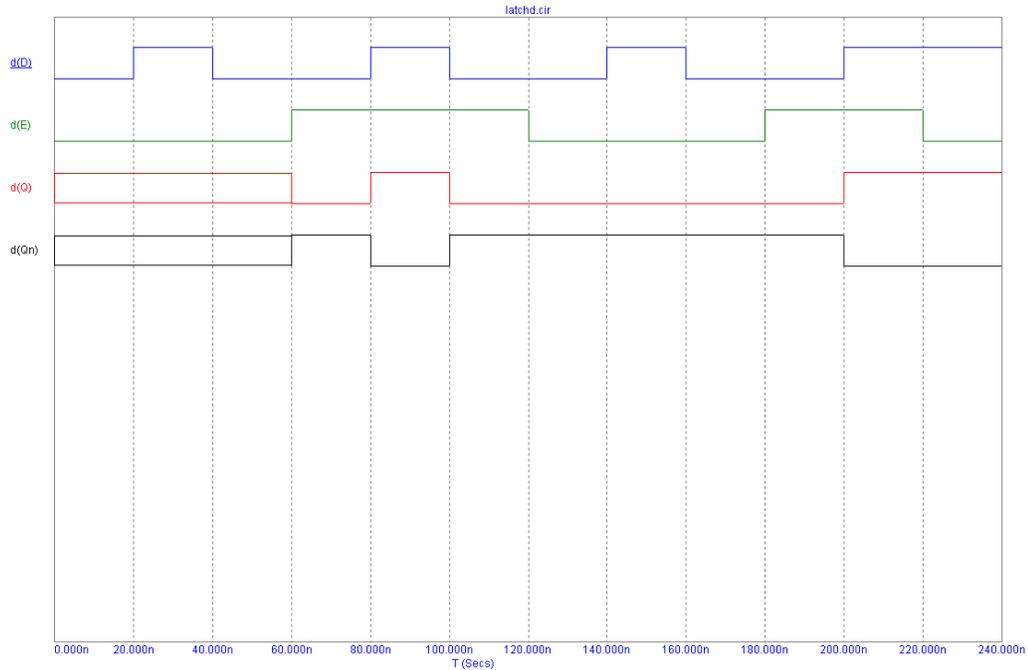


Figura 6.5: Risultato dell'analisi Transient del circuito di Fig. 6.4 relativo ad un latch  $D$ .

vediamo che inizialmente, finchè *enable* non diventa alto, l'uscita è indeterminata. Nel momento che  $E$  sale ad 1, si ha appunto che il segnale  $D$  viene propagato in uscita su  $Q$  (e negato su  $Qn$ ); dopodichè l'uscita segue le variazioni di *data* fintanto che *enable* rimane alto. Quando  $E$  scende a 0, l'uscita rimane fissata al valore assunto precedentemente (ossia 0) ed ignora le variazioni di  $D$ . Dopo una ulteriore transizione di  $E$  da basso ad alto e da alto a basso, abbiamo che  $Q$  stavolta rimane bloccato ad 1: questo conferma che il valore memorizzato è uguale al valore precedente di  $D$  e non ad un valore combinatorio fisso.

$D$	$E$	$Q$	$\bar{Q}$	Note
X	0	$Q$	$\bar{Q}$	memoria
0	1	0	1	
1	1	1	0	

Tabella 6.2: Tabella di verità per un latch  $D$ .

La tabella di verità in questo caso è perciò quella di Tab. 6.2, per la quale finchè  $E$  è basso viene mantenuto il valore precedente indipendentemente da  $D$ , mentre in caso contrario viene propagato in  $Q$  il valore di  $D$ : si parla in questo caso di latch *trasparente alto*, ossia tale da lasciar passare un dato qualora l'ingresso di *enable* sia alto. Anche in questo caso vale la pena di valutare il comportamento del latch in presenza dei ritardi predefiniti nel modello DLY\_TTL per ogni porta NAND: in Fig. 6.6 osserviamo nuovamente che  $Q$  e  $Qn$  presentano ritardi diversi, col conseguente effetto che esistono intervalli di tempi in cui entrambi i segnali di uscita valgono 1 e violano  $Q = \text{not}(Qn)$ .

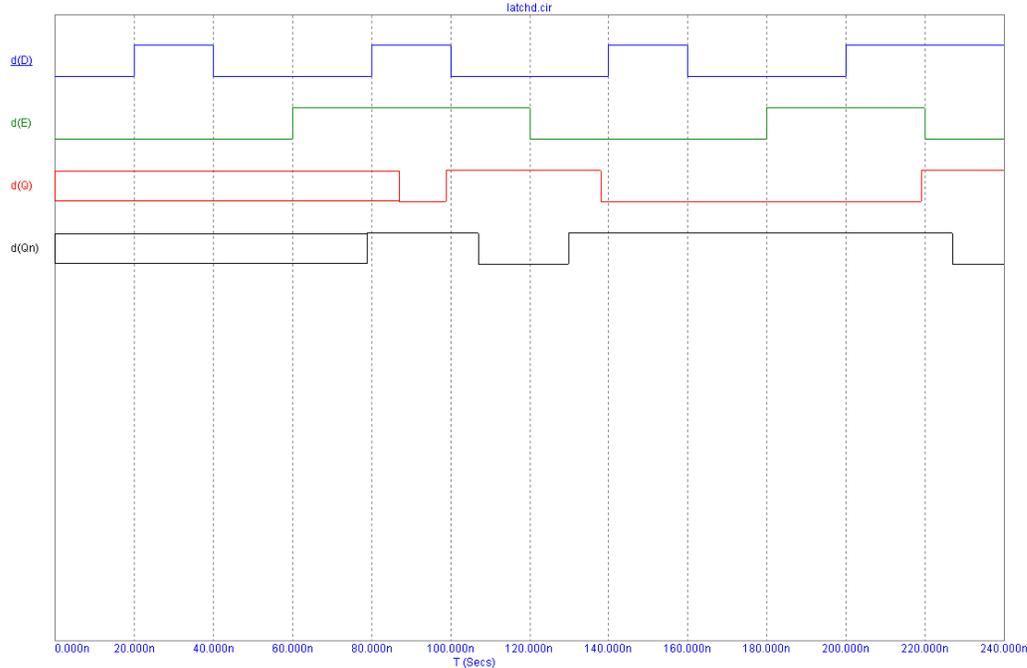


Figura 6.6: Risultato dell'analisi Transient del circuito di Fig. 6.4 relativo ad un latch  $D$ , con ritardi di propagazione per le porte NAND.

## 6.2 Flip-Flop

Nel prossimo Esercizio vogliamo realizzare un flip-flop di tipo  $D$ , ossia tale da memorizzare il valore dell'ingresso  $D$  (e fornirlo in uscita) a fronte di una transizione di un segnale di controllo/clock. In particolare ci concentreremo su un flip-flop attivo sul fronte di *salita* del clock.

### Esercizio 33: *Flip-Flop D*

Come prima cosa salviamo il file precedente con nome `flipflopD.CIR` e riportiamo i ritardi al modello `D0_GATE`. Dopodichè duplichiamo il circuito relativo al latch  $D$  escludendo l'ingresso digitale e lo posizioniamo a destra dell'originale. Selezioniamo e cancelliamo le etichette delle interconnessioni di uscita del latch originale e di ingresso del latch copiato, poi colleghiamo l'uscita superiore del latch di sinistra con l'ingresso superiore del latch di destra e chiamiamo tale interconnessione `M`; lasciamo invece sconnessa l'uscita inferiore del latch di sinistra. Istanziamo due inverter digitali `Digital Primitives|Standard Gates|Inverters|Inverter` chiamati `U9` ed `U10`, entrambi con `TIMING MODEL` pari a `D0_GATE`. Rinominiamo l'interconnessione `E` con `C` e allunghiamo le interconnessioni verso `In` in modo da poter inserire `U9` a destra di `C`. Infine colleghiamo fra loro gli enable dei due latch con interposto l'inverter `U10`. L'interpretazione corretta del circuito di Fig. 6.7 è una cascata di un latch  $D$  trasparente basso con un latch  $D$  trasparente alto: in questa maniera un dato può transitare nel circuito solo dopo una transizione basso-alto del segnale di controllo `C`.

Possiamo verificare questa proprietà con una Transient Analysis in cui modifichiamo leggermente il set degli ingressi con:

```
.define Set
```

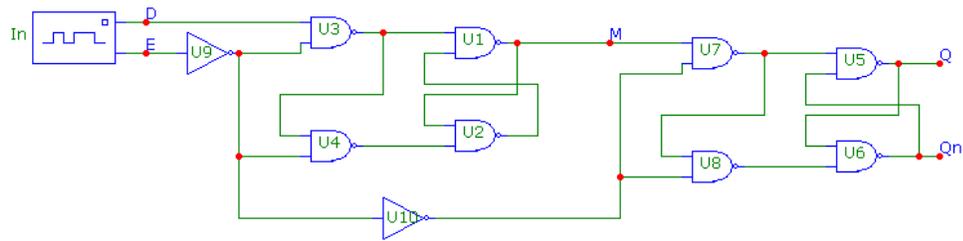


Figura 6.7: Il circuito di test di un flip-flop *D*.

```

+0n 11
+20n 10
+40n 00
+60n 01
+80n 11
+100n 01
+120n 00
+140n 10
+160n 10
+180n 11
+200n 01
+220n 00

```

e aggiungiamo il segnale intermedio *M* fra le variabili osservate. In Fig. 6.8 vediamo che

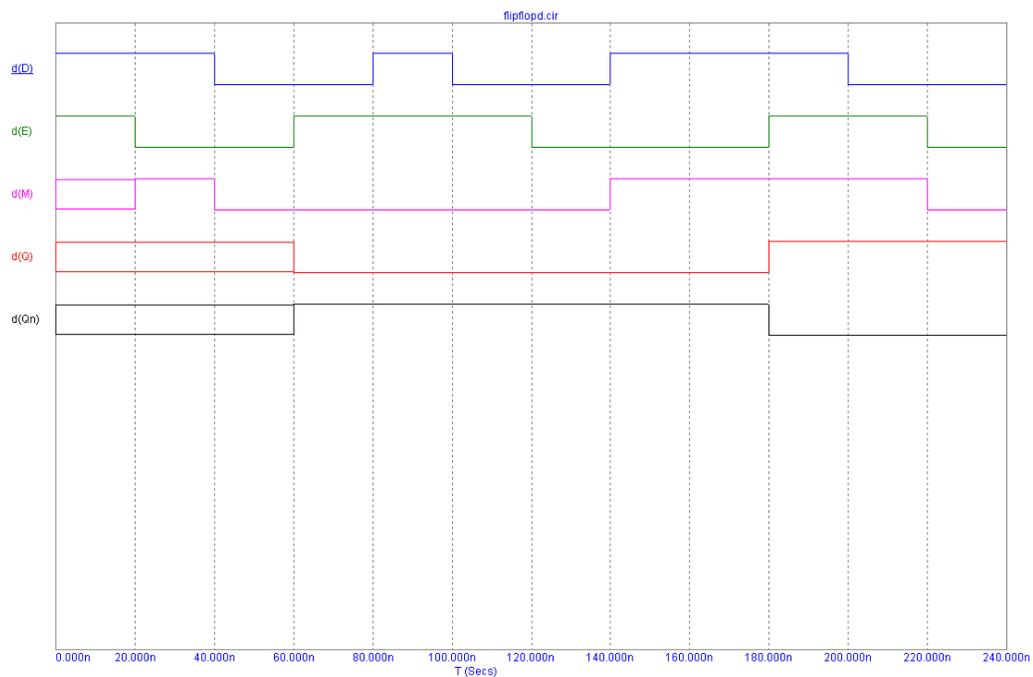


Figura 6.8: Risultato dell'analisi Transient del circuito di Fig. 6.7 relativo ad un flip-flop *D*.

l'uscita varia solo nel momento in cui avviene una transizione basso-alto del control-

lo/clock ed assume il valore precedente dell'ingresso D; se invece consideriamo il segnale intermedio M, notiamo che il latch di sinistra si comporta come un latch trasparente basso mentre quello di destra come un latch trasparente alto.

Anche in questo caso possiamo utilizzare un ritardo `DLY_TTL` per tutte le porte, invertitori inclusi, ottenendo il risultato di Fig. 6.9 in cui è evidente il ritardo di propagazione dell'uscita Q e la sua asincronia rispetto a Qn. Si potrebbe obiettare che l'invertitore

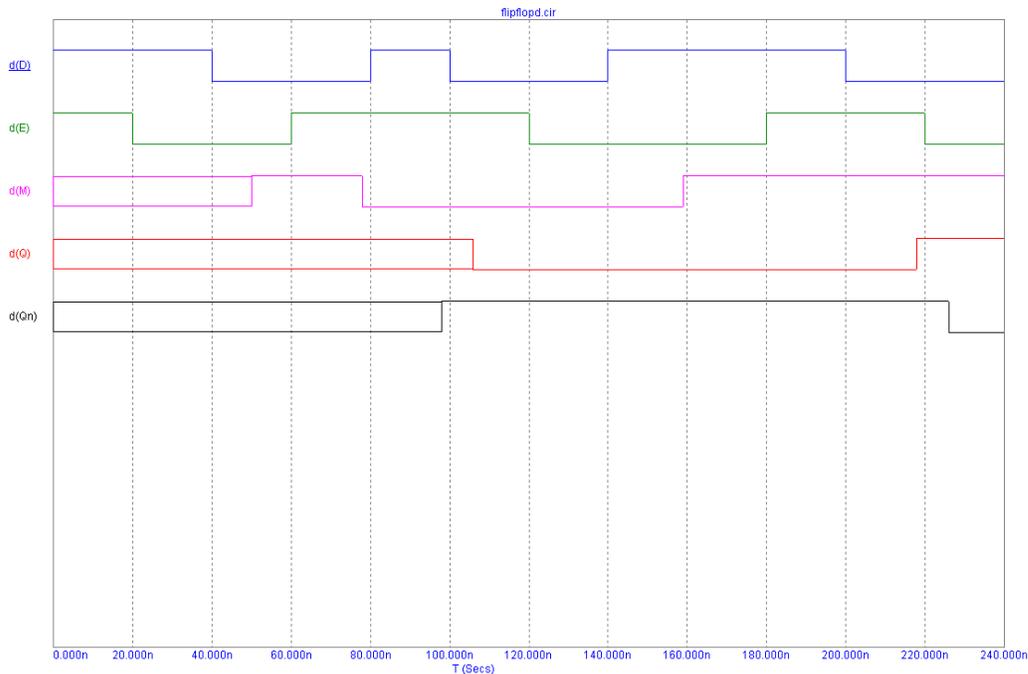


Figura 6.9: Risultato dell'analisi Transient del circuito di Fig. 6.7 relativo ad un flip-flop *D*, con ritardi di propagazione per le porte NAND e NOT.

Q10 è inutile, in quanto potremmo direttamente collegare C all'enable del latch di destra: in verità nel caso di ritardi di propagazione non nulli anticiperemmo l'acquisizione dell'uscita del latch di destra rispetto alla generazione dell'uscita del latch di sinistra, introducendo una variazione su Q come è possibile notare in Fig. 6.10 (per semplicità non mostriamo il circuito modificato). In altri termini, il motivo della variazione nell'uscita è che il latch di destra diventa trasparente *prima* che il latch di sinistra produca la sua nuova uscita, come si può verificare verificando il ritardo del segnale M.

Come ultimo appunto, è possibile realizzare un flip-flop D con un terzo dei transistor necessari nell'Es. 33 (in quel caso 32 in logica CMOS), tuttavia con lo svantaggio di perdere la proprietà di staticità dell'informazione memorizzata. Per ottenere tale riduzione d'area del circuito, l'informazione va memorizzata in un nodo mantenuto da un condensatore quale la capacità di ingresso di un transistor; il problema è che nella realtà tali capacità si scaricano col tempo a causa delle inevitabili perdite resistive, mentre un nodo associato ad una alimentazione permane indefinitamente. Come già accennato, per ripristinare i segnali è necessario effettuare con una certa periodicità il refresh del segnale interno mediante una transizione del segnale di clock, limitando perciò il minimo clock possibile per il circuito di memoria.

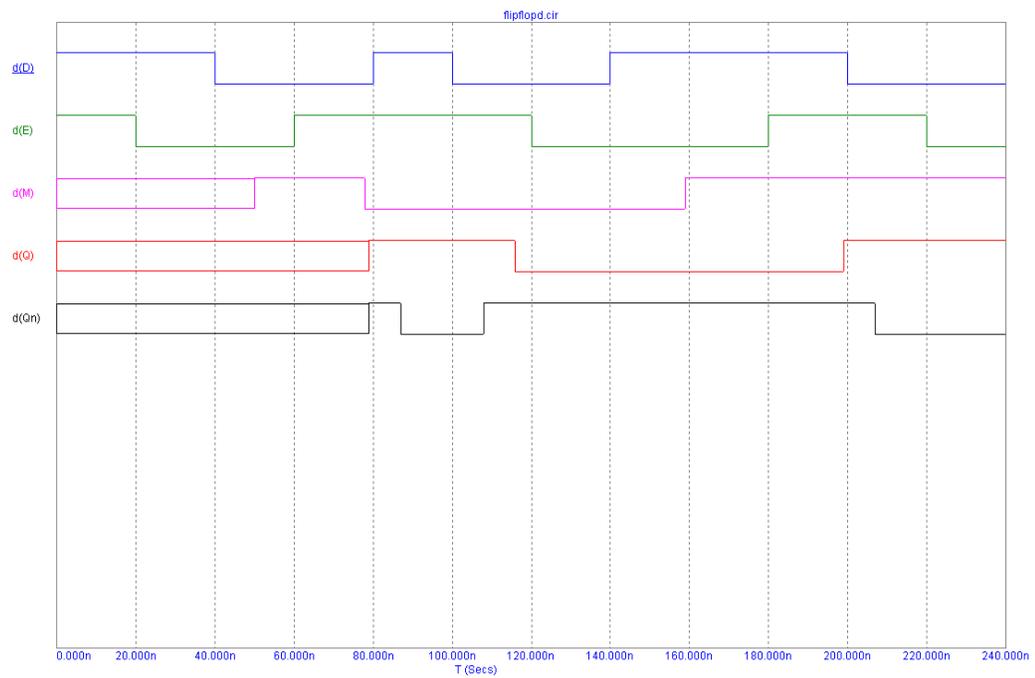


Figura 6.10: Risultato dell'analisi Transient del circuito di Fig. 6.7 relativo ad un flip-flop *D*, modificato collegando C con l'ingresso intermedio inferiore, e con ritardi di propagazione per le porte NAND e NOT.