



Università di Verona
Dipartimento Scientifico e Tecnologico

Sistemi per la Progettazione Automatica: prova d'esame 20/12/99

Cognome:.....Nome: Matricola:

Note: *le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.*

1) Si consideri il problema della trasformazione di una descrizione algoritmica in un circuito digitale (*high-level synthesis*).

- Descrivere il flusso di progettazione a partire dalla descrizione algoritmica del circuito. Quali sono i due modelli di descrizione più utili da usare e perché?

- Si consideri il seguente algoritmo scritto in VHDL. Se ne dia una rappresentazione a livello di trasferimento tra registri (RTL) mediante una FSM. Si descriva il controllore con una FSM ed il data-path con componenti di libreria.

```
process SommaMaggiore
  variable C, ACC, END : integer;
begin
  while (RESET = '0') loop
    wait on CLK;
  end loop;
  C := 0; ACC := 0;
  END := X;
  while (C < END) loop
    if (A > B) then
      ACC := ACC + A;
    else
      ACC := ACC + B;
    end if;
    C := C + 1;
  end loop;
  MAGGIORE <= ACC ;
end process;
```

- Si descrivano il controllore ed il data-path del punto precedente in VHDL utilizzando due o più processi.

- 2) Si riscriva il seguente processo VHDL in modo che un programma di sintesi automatica non inserisca elementi di memoria sul segnale di uscita SIG_st_Top.

```
Actions : process(clear,clk)
procedure handle_Top is
begin
  case SIG_st_Top is
    when ADS =>
      SIG_st_Top <= IFT;
    when IFT =>
      SIG_st_Top <= MFT;
    when MFT =>
      SIG_st_Top <= EXEC;
    when EXEC =>
      if inst = halt_instr then
        null; -- was a print here
        SIG_st_Top <= HALT;
      else
        SIG_st_Top <= ADS;
      end if;
    when HALT =>
      null;
    when INIT =>
      if start = '1' then
        SIG_st_Top <= ADS;
      end if;
  end case;
end handle_Top;

begin -- START ACTION PROCESS
  if (clear = '1') then
    SIG_st_Top <= INIT;
  elsif (clk = '1' and clk'event) then
    handle_Top;
  end if;
end process Actions;
```

- 3) Si considerino le differenze ed i punti di contatto tra queste diverse fasi della progettazione di un dispositivo digitale: *verifica delle specifiche*, *test di una implementazione*, *test di produzione*. Si descriva perché e quando sono necessarie queste fasi, quali sono le tecniche necessarie ad affrontarle e quali sono i loro punti critici.

4) Si consideri il problema della generazione del test per un circuito sequenziale.

- Quali sono le fasi necessarie a generare una sequenza di test a partire da un vettore di test?

- Definire le differenti categorie di guasti ridondanti che possono essere presenti in un circuito sequenziale.

- Si identifichi una sequenza di test per il guasto *NS1 stuck-at 1* considerando che lo stato di rest del circuito sia 00.

