



---

3) Si descriva, usando sia istruzioni *concorrenti* che istruzioni *sequenziali*, un negatore di un numero intero di ampiezza variabile in complemento a due. Il circuito esegue la negazione del numero letto dalla porta *A* e pone il risultato sulla porta *O*.

---

4) Sia dato il seguente algoritmo (*x* e *y* sono variabili i cui valori iniziali sono forniti dall'esterno; *a*, *b* e *c* sono costanti fornite dall'esterno; variabili e costanti sono tutte di 8 bit)

```
x1 = (x + a) * y;  
y1 = (x + b) / c;  
z = 0;  
if (x1 > y1) then  
    z = (x1 - y1) * a;  
x = x1 + z;  
y = y1 * z;
```

- si progetti la FSMD che realizza tale algoritmo a *latenza minima* con il vincolo di utilizzare un solo sommatore. Disegnare la parte di controllore (FSM) relativa all'operazione di maggiore.

