



Università di Verona
Dipartimento di Informatica

Sistemi per la Progettazione Automatica: prova intermedia 04/11/02

Cognome: **Nome:** **Matricola:**

Note: *le soluzioni devono essere opportunamente commentate,*
 è vietato utilizzare appunti o libri.

- 1) Si consideri la seguente descrizione VHDL comportamentale. Si identifichi una sua realizzazione a livello RT (FSMD) che cerchi di minimizzare la latenza sotto il vincolo di utilizzare un solo moltiplicatore. Si descriva la FSMD con un unico processo VHDL.

```
architecture bhv of example is
begin
P1 : process(clk)
variable a, b, c: UNSIGNED (SIZE-1 DOWNT0 0) := 0 ;
variable d, e: UNSIGNED (SIZE-1 DOWNT0 0) := 1;
begin
a := in_a; b := in_b
while (a < b) loop
d := d * (a + b);
e := e * (d * c + a);
if (e < d) then
f_out <= e + b;
else
f_out <= e * b;
end if;
a := a + 1;
end loop;
end process P1;
end example;
```

-
- 2) Descrivere i passi necessari a realizzare la sintesi ad alto livello e catalogare le differenti tecniche di scheduling e allocation specificando gli obiettivi che si prefiggono.

-
- 3) Descrivere, con un esempio in VHDL, l'equivalenza tra processi basati sulla *sensitivity list* e sull'istruzione *wait*.

- Disegnare l'andamento nel tempo dei segnali out1 e out2 a partire dalla fase di inizializzazione della simulazione, ipotizzando che out1 e out2 siano di tipi bit.

architecture mix of example is

```
signal a: std_logic ;
```

```
signal b: std_logic := '0';
```

```
begin
```

```
  generatore: process
```

```
  begin
```

```
    a <= '1' after 5 ns, '0' after 15ns, '1' after 30ns, '0' after 40ns;
```

```
    wait;
```

```
  end generatore;
```

```
  out1 <= a or b after 10 ns;
```

```
  out2 <= transport a or b after 15 ns;
```

```
end example;
```

