

# Elementi di Architettura e Sistemi Operativi

Bioinformatica - Tiziano Villa

27 Giugno 2016

Nome e Cognome:

Matricola:

Posta elettronica:

problema	punti massimi	i tuoi punti
problema 1	6	
problema 2	9	
problema 3	5	
problema 4	10	
totale	30	

1. Processi (in inglese "processes") e fili esecutivi (in inglese "threads").

(a) Che cos'è un filo esecutivo ?

Traccia di soluzione.

È un percorso di controllo, cioè l'unità autonoma di esecuzione del processore, e comprende un identificatore, un contatore di programma, un insieme di registri, e una pila.

Si vedano le sezioni 4.1.1 e 4.1.2.

(b) Quali risorse sono condivise e quali sono private nell'ambito dei fili esecutivi di un processo a più fili esecutivi ?

Traccia di soluzione.

Risorse condivise: sezione del codice, la sezione dei dati e altre risorse del sistema, come i file aperti e i segnali.

Risorse private: registri del processore (incluso contatore di programma e puntatore alla pila), contenuto della pila.

(c) Che cosa si deve salvare quando si opera una commutazione di contesto tra fili esecutivi (in inglese "context switching") ?

Traccia di soluzione.

I registri del processore (incluso il contatore di programma e il puntatore alla pila), contenuto della pila.

- (d) Supponendo che un filo esecutivo possa essere in uno di 3 stati: *in esecuzione*, *pronto ad eseguire*, *bloccato*, si mostri con una figura l'automa di tali stati con le transizioni possibili da uno stato all'altro, annotando gli archi delle transizioni con gli eventi che le causano.

Traccia di soluzione.

L'automa ha tre stati: *in esecuzione*, *pronto ad eseguire*, *bloccato*.

C'è una transizione da *in esecuzione* a *pronto ad eseguire*, sotto gli eventi: *interruzione per scadenza tempo (timer)* e *cessione volontaria del processore (yield)*;

c'è una transizione da *pronto ad eseguire* a *in esecuzione*, sotto l'evento: *scelto dallo schedulatore (scheduled)*;

c'è una transizione da *in esecuzione* a *bloccato* sotto gli eventi: *richiesta di operazione ingresso/uscita (I/O request)*, *messa in quiescenza (thread wait)*;

c'è una transizione da *bloccato* a *pronto ad eseguire*, sotto gli eventi: *completamento dell'operazione ingresso/uscita (I/O complete)*, *risveglio dalla quiescenza (thread signal)*.

2. Si consideri il seguente scenario di memoria organizzata a due livelli con segmenti e pagine:

- (a) il numero di segmento virtuale e' rappresentato con 2 cifre binarie;
  - (b) il numero di pagina virtuale e' rappresentato con 8 cifre binarie;
  - (c) lo scostamento ("offset") e' rappresentato con 12 cifre binarie;
  - (d) un elemento della tavola delle pagine (PTE) e' rappresentato con 8 cifre binarie
  - (e) il numero di pagina fisica e' rappresentato con 8 cifre binarie.
- (a) Si spieghi il meccanismo di traduzione degl'indirizzi logici (22 cifre binarie) in indirizzi fisici (20 cifre binarie), aiutandosi con uno schema grafico se conveniente.

Traccia di soluzione.

Si vedano il libro di testo e le dispense per una spiegazione dello schema d'indirizzamento a due livelli con segmenti e pagine.

(b) Date la tavola dei segmenti e la memoria fisica allegate, si traducano i seguenti indirizzi logici nei corrispondenti indirizzi fisici:

- $0x204ABC$

Traccia di soluzione.

$0x46ABC$

- $0x102041$

Traccia di soluzione.

$0x10041$

Per entrambe le traduzioni, si veda l'allegato che mostra graficamente il processo di traduzione da indirizzo logico a fisico.

3. Si consideri il seguente programma scritto nel linguaggio macchina LC-3.

```
          .ORIG    x3005
          LEA      R2, DATA
          LDR      R4, R2, #0
LOOP      ADD      R4, R4, -3
          BRzp     LOOP
          TRAP     x25
DATA      .FILL    x000B
          .END
```

Si spieghi il funzionamento di tale programma. Quando si esegue il programma, quante volte sarà eseguita l'istruzione all'indirizzo di memoria ?

Traccia di soluzione

*LEA R2, DATA* corrisponde a  $R2 \leftarrow \text{indirizzo di DATA}$ , si carica in *R2* l'indirizzo di *DATA*;

*LDR R4, R2, #0* corrisponde a  $R4 \leftarrow \text{mem}[R2 + 0]$ , si carica in *R4* il contenuto della memoria all'indirizzo in *R2*, cioè l'esadecimale *x0008*.

Siccome *DATA* contiene  $B_{16} = 11_{10}$  che è decrementato di 3 unità ad ogni esecuzione dell'addizione che è l'istruzione all'indirizzo *LOOP*, tale istruzione è eseguita 4 volte.

4. Si progetti un circuito sequenziale che realizza la seguente specifica:

- Ci sono due variabili binarie in ingresso  $x$  e  $y$ , e due variabili binarie in uscita  $e$  e  $z$ .
- L'uscita  $e = 0$  al ciclo  $\tau_i$ , se al ciclo  $\tau_{i-1}$  la somma dei valori di  $x$  e  $y$  era pari, altrimenti  $e = 1$  al ciclo  $\tau_i$ .
- L'uscita  $z = 0$  al ciclo  $\tau_i$ , se la somma di tutti i valori di  $x$  e  $y$  dall'inizio  $\tau_0$  al ciclo precedente  $\tau_{i-1}$  incluso era pari, altrimenti  $z = 1$  al ciclo  $\tau_i$ .

(a) Si disegni il grafo delle transizioni di una macchina a stati finiti che realizza la specifica. S'indichi lo stato iniziale.

Data la specifica, la soluzione sara' una macchina di Moore o di Mealy ?

Traccia di soluzione.

La specifica richiede una macchina di Moore. Segue la tavola delle transizioni.

I	SP	SF	U
00	s00	s00	00
11	s00	s00	00
01	s00	s11	00
10	s00	s11	00
00	s01	s01	01
11	s01	s01	01
01	s01	s10	01
10	s01	s10	01
00	s10	s00	10
11	s10	s00	10
01	s10	s11	10
10	s10	s11	10
00	s11	s01	11
11	s11	s01	11
01	s11	s10	11
10	s11	s10	11

- (b) Si minimizzi il numero degli stati della macchina proposta, applicando l'algoritmo di minimizzazione degli stati.



- (c) Si scriva la tavola delle transizioni con gli stati futuri e le uscite e la si codifichi.

- (d) Supponendo di usare bistabili di tipo D, si derivino le equazioni minimizzate di eccitazione degl'ingressi dei bistabili e le equazioni minimizzate delle uscite. Si esegua e mostri la minimizzazione con le mappe di Karnaugh.

- (e) Si realizzi il circuito sequenziale corrispondente con bistabili di tipo D campionati sul fronte di salita, invertitori e porte NAND. Si etichettino con chiarezza i segnali.