



Università di Verona
Dipartimento Scientifico e Tecnologico

Architettura degli Elaboratori: prova intermedia 11/06/99

Cognome:.....Nome: Matricola:

Note: *le soluzioni devono essere opportunamente commentate e motivate,
è vietato utilizzare appunti o libri.*

- 1) Elencare le micro istruzioni relative alla completa esecuzione della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia un solo BUS, che l'istruzione sia composta da una sola parola e che (%EBX) rappresenti un metodo di indirizzamento indiretto a registro (usare solamente le righe necessarie):

ADDL (%EBX), %EAX

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.

- L'esecuzione di un programma compilato per una CPU antiquata da parte di una CPU più moderna, dotata solamente di un numero maggiore di registri generali, può migliorare i tempi di esecuzione?.

- 2) Si consideri una CPU dotata di memoria cache 4-associativa di 8K parole con 64 parole per blocco. Questa CPU è collegata ad una memoria RAM da 4M parole.

- Definire le dimensioni dell'indirizzo necessario a indirizzare tutta la memoria RAM e definire le dimensioni dei campi PAROLA, BLOCCO ed ETICHETTA in cui questo indirizzo può essere suddiviso. Motivare la risposta con un opportuno schema.

- Si assuma che la cache appena descritta sia utilizzata per i dati, che sia inizialmente vuota e che utilizzi un algoritmo di sostituzione dei blocchi di tipo LRU (sostituzione dell'elemento meno utilizzato di recente). La CPU esegue un programma che accede in sequenza a tutti gli elementi di un array di 8320 parole (ogni elemento ha le dimensioni di una parola) che è memorizzato a partire dall'indirizzo 0. Questa operazione di scansione è effettuata all'interno di un ciclo che viene eseguito 5 volte.

Si assuma che il tempo di accesso alla cache sia di 1T e che il tempo di accesso alla memoria sia di 10T (entrambi i tempi si riferiscono alla lettura di una parola). Calcolare il rapporto (fattore di miglioramento) tra il sistema in presenza di cache e in assenza di cache per l'esecuzione di questo programma.

- 3) Si consideri un programma che legge da tastiera dei caratteri (1byte) utilizzando la procedura `READ(0, IND, 1)`. Questa procedura legge un byte e lo pone nella cella di memoria all'indirizzo `IND` appena viene premuto un tasto sulla tastiera. Se il carattere ASCII letto è il 13, o se sono stati letti più di `MAX` caratteri, il programma trasforma in maiuscolo tutti i caratteri letti e li stampa utilizzando la procedura `WRITE(1, IND, 1)`. Se nessuno dei due casi si è verificato, il programma continua a leggere dei caratteri e a memorizzarli.
- Si scriva un programma in assembler AT&T per Intel 80386 che realizza questo programma ricordando che il numero decimale 65 corrisponde al carattere 'A' ed il 97 al carattere 'a'.

```
.section .data
MAX:    .int 32
IND:    .space 32, 48

.section .text
.globl main
main:
    /* inizializza il base pointer */
    pushl %ebp
    movl %esp,%ebp
```

- Spiegare le motivazioni che portano ad avere una struttura a segmenti della memoria.

- 4) Rispondere alle seguenti domande riportando la motivazione della risposta.

- Una CPU con una pipeline a 2 stadi viene sostituita con una CPU con una pipeline a 4 stadi. Se il tempo totale di esecuzione di una singola istruzione è rimasto invariato, qual è il minimo ed il massimo incremento delle prestazioni che si può attendere?

- Si consideri una CPU con una pipeline a 4 stadi (F, D, O, W). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1.

clock/istruzione	1	2	3	4	5								
<code>addl %eax, %ebx</code>													
<code>movl ind, %ecx</code>													
<code>subl %ebx, %ecx</code>													
<code>jz loop</code>													

- Descrivere il meccanismo e l'utilità della *predizione dei salti*.