



**Università di Verona**  
**Dipartimento Scientifico e Tecnologico**

Architettura degli Elaboratori: esame 29/06/99

Cognome:.....Nome: ..... Matricola: .....

**Note:** *le soluzioni devono essere opportunamente commentate e motivate, è vietato utilizzare appunti o libri.*

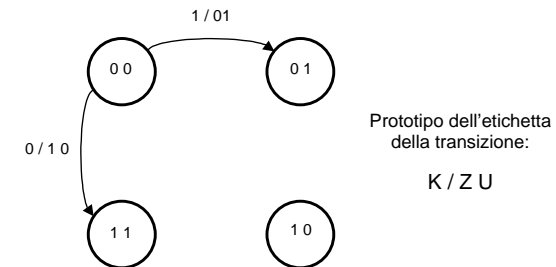
1) Si consideri un numero in virgola mobile in singola precisione.

- Descrivere le dimensioni in bit ed il significato delle parti che lo compongono.
- Descrivere le fasi in cui può essere diviso l'algoritmo di somma di due numeri in virgola mobile.

- Quali sono i motivi che fanno preferire la rappresentazione in virgola mobile a quella in virgola fissa? Portare degli esempi.

2) Si consideri una macchina sequenziale sincrona, dotata di un ingresso K e di due uscite Z e U (si veda la figura), che si comporti nel modo seguente:

- L'uscita Z assume il valore logico 1 se sull'ingresso K è arrivato un numero **dispari** di bit 0, e mantiene il valore logico 1 fino all'arrivo del prossimo bit 0.
- L'uscita U assume il valore logico 1 se sull'ingresso K è arrivato un numero **dispari** di bit 1, e mantiene il valore logico 1 fino all'arrivo del prossimo bit 1.
- Si ipotizzi che la macchina inizi le operazioni non avendo ricevuto alcun bit in ingresso (si supponga che il numero 0 sia pari).
- Disegnare il grafo degli stati della macchina in questione, completando con le transizioni mancanti il grafo degli stati parziale mostrato di seguito:



- Tracciare la tabella delle transizioni della macchina, ricavandola dal grafo, considerando che per ogni stato è già riportato l'assegnamento da usare per la sintesi.
- Dare la definizione di FSM minima equivalente e verificare la minimalità della FSM data.
- Sintetizzare le funzioni di stato prossimo e le funzioni di uscita della macchina sequenziale, in forma a due livelli minima di tipo somma di prodotti (usare le mappe di Karnaugh).

3) Si consideri un sistema a memoria virtuale con spazio logico di 4G parole, una memoria fisica di 32M parole e dimensione delle pagine di 16K parole.

- Determinare il numero di bit che definiscono:

|                                    |  |
|------------------------------------|--|
| <b>Lunghezza indirizzo logico:</b> |  |
| <b>Di cui per Num. Pag. Logica</b> |  |
| <b>per lo spiazzamento</b>         |  |
| <b>Lunghezza indirizzo fisico</b>  |  |
| <b>di cui per Num. Pag. Fisica</b> |  |
| <b>per lo spiazzamento</b>         |  |

- Nella seguente tabella sono riportati alcuni valori del parametro R (numero di pagine residenti per processo); sapendo che il Sistema Operativo occupa permanentemente 448 pagine e che sono stati creati 22 processi, indicare per ogni valore di R il numero di processi in stato di "fuori memoria" ossia che non possono avere tutte le pagine in memoria.

| <b>R</b>                                | <b>40</b> | <b>80</b> | <b>160</b> | <b>320</b> | <b>800</b> |
|---|-----------|-----------|------------|------------|------------|
| <b>Numero di processi fuori memoria</b> |           |           |            |            |            |

- Specificare come è stato calcolato il valore per R = 160:

- Si supponga di avere un sistema basato su memoria virtuale configurato con R=10 e di sapere che il valore massimo di k (numero di accessi) per il quale il Working Set  $W(k)=10$  è 1000, cioè  $W(k)>10$  per  $k>1000$ . In base a queste ipotesi è possibile valutare i valori massimo e minimo del numero di page fault, delle percentuali di page fault e delle percentuali di successo (*Hit Rate*). Definire tali valori con una breve spiegazione.

|                                     |  |
|-------------------------------------|--|
| <b>Numero massimo di page fault</b> |  |
| <b>Motivo</b>                       |  |
| <b>Percentuale di page fault</b>    |  |
| <b>Hit Rate</b>                     |  |

|                                    |  |
|------------------------------------|--|
| <b>Numero minimo di page fault</b> |  |
| <b>Motivo</b>                      |  |
| <b>Percentuale di page fault</b>   |  |
| <b>Hit Rate</b>                    |  |

- 
- 4) Elencare le micro istruzioni relative alla completa esecuzione (caricamento, decodifica, esecuzione) della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia un solo BUS, che l'istruzione sia composta da una sola parola, che (%EAX) rappresenti un metodo di indirizzamento indiretto a registro e che l'indirizzo di salto della procedura sia relativo al PC (usare solamente le righe necessarie):

CALL (%EAX)

1. ....
2. ....
3. ....
4. ....
5. ....
6. ....
7. ....
8. ....
9. ....
10. ....
11. ....
12. ....

- Dare la definizione di microprocessore superscalare e spiegare come sia possibile realizzarlo.