



Università di Verona
Dipartimento Scientifico e Tecnologico

Architettura degli Elaboratori: esame 13/07/99

Cognome:.....Nome: Matricola:

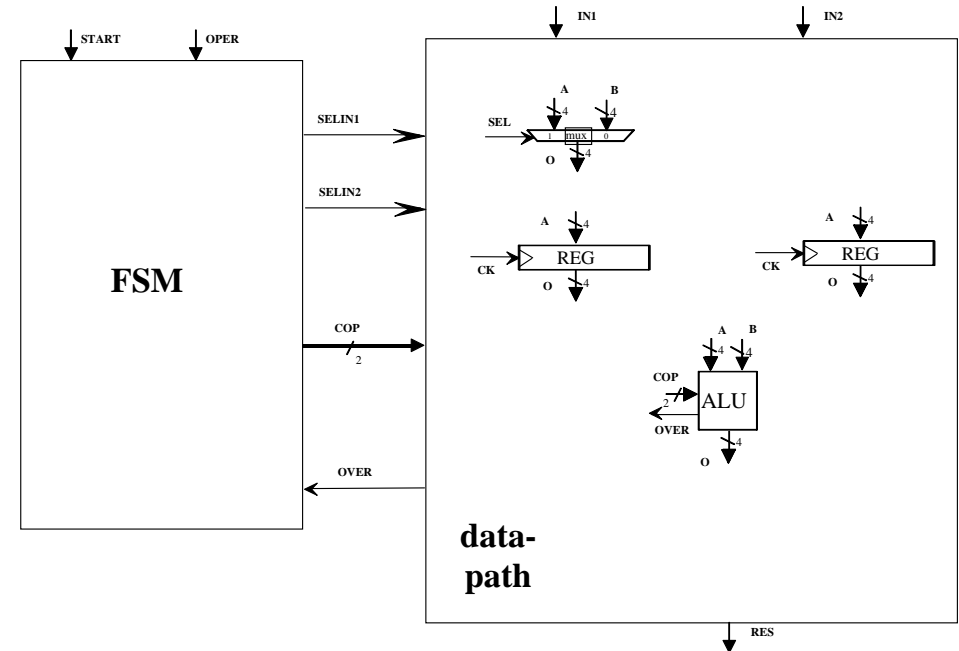
Note: le soluzioni devono essere opportunamente commentate e motivate,
è vietato utilizzare appunti o libri.

- 1) Si consideri il numero esadecimale AB.
- dire a quali numeri interi può corrispondere.

- Elencare i vantaggi e svantaggi della rappresentazione in complemento a 2.

- 2) Si consideri un circuito sequenziale sincrono che si comporta nel seguente modo. Quando il segnale START vale 1, il circuito carica dagli ingressi IN1 e IN2 due numeri interi in complemento a 2 su 4 bit. Nel ciclo di clock successivo, se l'ingresso OPER vale 1 viene eseguita la somma dei due numeri altrimenti viene eseguita la sottrazione. Se l'operazione precedente ha generato un overflow (segnale OVER uguale a 1) l'uscita RES vale, nel ciclo di clock successivo, -1, altrimenti è uguale al risultato dell'operazione. Il circuito mantiene questo risultato finché START non torna ad 1. Il circuito è composto da un controllore e da un data-path.

- Completare il data-path perché rispetti le specifiche del circuito.



- Disegnare il grafo degli stati della FSM che descrive il controllore considerando gli ingressi e le uscite nell'ordine presente nel disegno. Si noti che la ALU presente nel data-path esegue una somma se riceve il codice operativo COP uguale a "01", ed esegue una sottrazione se riceve "11".

-
- Identificare la FSM minima equivalente o compatibile a quella data. Qual è la differenza tra il concetto di equivalenza e quello di compatibilità?

- Definire l'ON-SET ed il DON'T CARE-SET del segnale di uscita SELIN2 della FSM dopo aver assegnato casualmente agli stati dei codici.

-
- 3) Si consideri una memoria statica di 4Mbyte indirizzabili un byte alla volta.
- Definire le dimensioni dei segnali di dato e indirizzamento e disegnare lo schema del chip di memoria avendo a disposizione moduli da 1Mbit.

- Come si potrebbe utilizzare il concetto di *memoria interlacciata* per migliorare le prestazioni del chip precedente?

- Come si complicherebbe lo schema del chip nel caso di *memoria dinamica*?

- Su quali concetti si basa lo schema della *gerarchia di memoria*.

-
- 4) Si scriva la funzione MASSIMO (in assembler AT&T per Intel 80386) che esamina un array di numeri interi, indirizzato con l'etichetta ARRAY, la cui lunghezza è indirizzata dall'etichetta LEN. Utilizzando la procedura MAX(IND1, IND2, IND3), la funzione identifica qual è il numero massimo presente nell'array. La procedura MAX richiede l'indirizzo di due numeri da confrontare, IND1 e IND2, e l'indirizzo di una cella di memoria, IND3, in cui copiare il numero massimo tra i due. Il numero massimo identificato dalla funzione viene messo sulla pila prima che la funzione termini.

```
.section .data
ARRAY: ... /* definizione dell'array */
LEN:    .int ... /* lunghezza dell'array */
/* ulteriori definizioni se necessarie */

.section .text
.globl massimo
massimo:
    /* funzione per il calcolo del massimo */
```