



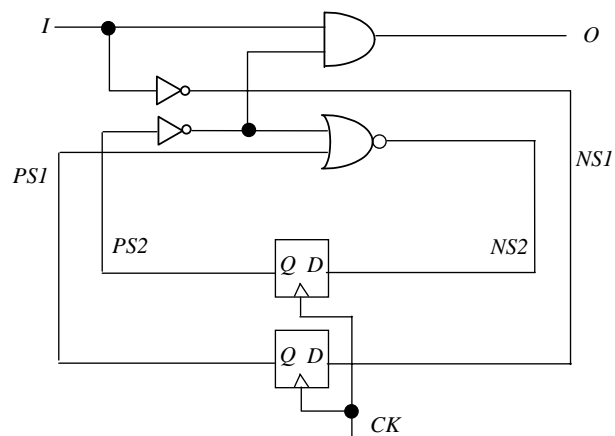
Università di Verona
Dipartimento Scientifico e Tecnologico

Architettura degli Elaboratori: esame 10/12/99

Cognome:.....Nome: Matricola:

Note: *le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.*

1) Si consideri il seguente circuito sequenziale.



- Si estraiga dal circuito lo STG della macchina a stati finiti ipotizzando che lo stato di reset sia 00.

- Si risintetizzi il circuito sequenziale, a partire dallo STG estratto, rappresentando la funzione di uscita e la funzione stato prossimo in somma di prodotti.

- Si dia la definizione di stato equivalente e di stato compatibile.

2) Utilizzando componenti di libreria, si costruisca il seguente *data-path*.

- Il dispositivo rappresenta una ALU a 8 bit con accumulatore che esegue 4 operazioni (somma, sottrazione, minore, maggiore) sugli operandi di ingresso o su un operando e sul registro interno. I numeri trattati sono rappresentati in complemento a due. Le operazioni di minore e di maggiore selezionano il minore o maggiore tra i due operandi. Si ipotizzi che le operazioni vengono eseguite tutte in 1 ciclo di clock. I 4 ingressi e le 2 uscite del dispositivo hanno il seguente significato.
- CLK: il dispositivo memorizza sempre il risultato dell'operazione in un registro interno, sul fronte di salita del clock.
- OP1[8]: primo operando.
- OP2[8]: secondo operando.
- STORED: quando vale 1 l'operazione viene eseguita su OP1 e sul contenuto del registro interno; quando vale 0 l'operazione viene eseguita su OP1 e OP2.
- OPER[2]: identifica l'operazione da eseguire (00=somma, 01=sottrazione, 10=minore, 11=maggiore).
- OUT[8]: risultato dell'operazione.

3) Si consideri una memoria cache 4-set associativa della dimensione di 16 Kbyte con 512 byte per blocco. La cache è collegata ad una memoria di 2Mbyte indirizzabile per byte.

- Definire le dimensioni ed il significato delle parti dell'indirizzo della cache e dell'indirizzo della RAM.

- Si assuma che la cache appena descritta sia utilizzata per memorizzare i dati di un programma. Si assuma che sia inizialmente vuota e che utilizzi un algoritmo di sostituzione dei blocchi di tipo LRU (sostituzione dell'elemento meno utilizzato di recente).

Il programma di benchmark accede in sequenza a tutti gli elementi di un array di 2000 numeri interi memorizzato a partire dall'indirizzo 0. Si ricorda che ogni intero ha una dimensione di quattro byte. Questa operazione di scansione è effettuata all'interno di un ciclo che viene eseguito 5 volte. Si assuma che il tempo di accesso ad un byte della cache sia 1T ed in memoria sia 10T. Calcolare il tempo di accesso ai dati in presenza della cache.

-
- 4) Elencare le micro istruzioni (insieme dei segnali di controllo) relative alla completa esecuzione (caricamento, decodifica, esecuzione) della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia un solo BUS, che l'istruzione sia composta da una sola parola e che (%EAX) rappresenti un metodo di indirizzamento indiretto a registro (usare solamente le righe necessarie):

CALL (%EAX)+%SI

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

- Descrivere lo schema di controllo di una CPU microprogrammata. Esemplificare lo schema utilizzando la fase di *fetch* dell'istruzione precedente..