



**Università di Verona**  
**Dipartimento di Informatica**

Architettura degli Elaboratori: prova finale 12/06/'03

**Cognome:** ..... **Nome:**..... **Matricola:**.....

**Note:**    *le soluzioni devono essere opportunamente commentate,  
è vietato utilizzare appunti o libri.*

- 1) Si consideri una memoria cache 3-set associativa della dimensione di 64 Kbyte con 1024 byte per blocco. La cache è collegata ad una memoria di 4 Mbyte indirizzabile per byte. Definire le dimensioni ed il significato delle parti dell'indirizzo della cache e dell'indirizzo della RAM.

- Quali sono i vantaggi e gli svantaggi delle memorie completamente associative rispetto alle memorie non associative.

- 2) Elencare e **commentare** le micro istruzioni relative alla completa esecuzione (caricamento, decodifica, esecuzione) della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia un solo BUS, che l'istruzione sia composta da una sola parola, che (%EAX) rappresenti un metodo di indirizzamento indiretto a registro e che il salto sia di tipo relativo (usare solamente le righe necessarie):

CALL (%EAX)

micro istruzioni	commento
1. ....	
2. ....	
3. ....	
4. ....	
5. ....	
6. ....	
7. ....	
8. ....	
9. ....	
10. ....	
11. ....	
12. ....	
13. ....	
14. ....	
15. ....	

- Si sarebbero ottenuti dei vantaggi nell'esecuzione dell'istruzione precedente nel caso in cui la CPU fosse dotata di tre BUS?

---

3) Si vuole realizzare una memoria statica di 4Mbyte indirizzabili un byte alla volta ( $4M \times 8$ ).

- Definire le dimensioni dei segnali di dato e indirizzamento e disegnare lo schema del chip di memoria avendo a disposizione moduli da 1Mbit ( $1M \times 1$ ).

- Su quali concetti si basa il principio della *gerarchia di memoria*.