



Università di Verona
Dipartimento di Informatica

Architettura degli Elaboratori: esame 11/07/03

Cognome: **Nome:**..... **Matricola:**.....

Note: *le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri.*

1) Si consideri il problema della codifica dell'informazione.

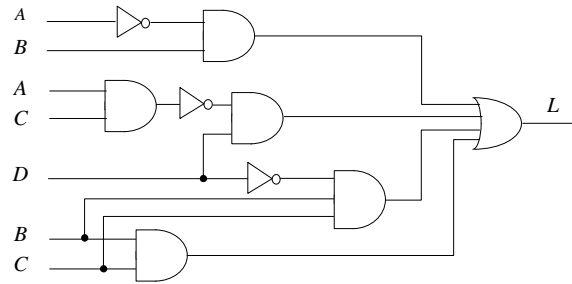
- Quali possono essere i campi di rappresentazione dei numeri interi avendo a disposizione n bit e considerando le varie alternative di codifica?

- Descrivere in virgola fissa il numero razionale $7+\frac{3}{8}$ utilizzando 4 bit per la parte intera e 5 per la parte frazionaria. Quale errore percentuale si commette con questa rappresentazione?

2) Si consideri il circuito sequenziale che controlla l'apertura di un *cancello* automatico. Il comando di apertura può essere imposto attraverso una chiave. La chiusura del cancello avviene automaticamente dopo un periodo di tempo predefinito e può essere ritardata nel caso sia rilevato un oggetto dai sensori a infrarossi che controllano l'area di apertura del cancello. Il circuito ha i seguenti ingressi e uscite.

- CHIAVE[2]: segnale collegato alla chiave di apertura/chiusura del cancello a tre posizioni: *01* apertura, *10* chiusura, *00* posizione di riposo della serratura. La chiave, essendo comandata manualmente, può inviare una sequenza di valori (per esempio tanti *01* per indicare l'apertura), ma solamente l'ultimo valore viene interpretato come il comando effettivo.
- APERTO[1]: vale 1 quando il cancello è in posizione aperta.
- CHIUSO[1]: vale 1 quando il cancello è in posizione chiusa.
- OCCUPATO[1]: vale 1 se un oggetto occupa lo spazio del cancello impedendone la chiusura, l'apertura avviene indipendentemente da questo segnale.
- MOTORE[2]: viene posto a *01* per indicare l'azione di apertura e mantenuto a questo valore finché il cancello non è aperto. Viene posto a *10* per comandare la chiusura e tenuto a *00* per non far compiere al motore alcuna azione.
- Si disegni il grafo delle transizioni della FSM che rappresenta il circuito, sapendo che gli ingressi e l'uscita sono nell'ordine dato. Se ne ricavi poi la tabella delle transizioni.

- 3) Si applichi l'algoritmo di *tree-mapping* al seguente circuito sapendo che la libreria di porte contiene solamente NOT a 1 ingresso e NAND e NOR a 2 ingressi.



- 4) Si consideri una CPU dotata di memoria cache 3-set associativa di 8K parole con 64 parole per blocco. Questa CPU è collegata ad una memoria RAM da 8M parole.

- Definire le dimensioni dell'indirizzo necessario a indirizzare tutta la memoria RAM e definire le dimensioni dei campi PAROLA, BLOCCO ed ETICHETTA in cui questo indirizzo può essere suddiviso. Motivare la risposta con un opportuno schema.

- Si assuma che la cache appena descritta sia utilizzata per i dati, che sia inizialmente vuota e che utilizzi un algoritmo di sostituzione dei blocchi di tipo LRU (sostituzione dell'elemento meno utilizzato di recente). La CPU esegue un programma che accede in sequenza a tutti gli elementi di un array di 8320 parole (ogni elemento ha le dimensioni di una parola) che è memorizzato a partire dall'indirizzo 0. Questa operazione di scansione è effettuata all'interno di un ciclo che viene eseguito 5 volte.

Si assuma che il tempo di accesso alla cache sia di 1T e che il tempo di accesso alla memoria sia di 10T (entrambi i tempi si riferiscono alla lettura di una parola). Calcolare il rapporto (fattore di miglioramento) tra il sistema in presenza di cache e in assenza di cache per l'esecuzione di questo programma.