

Calendario Lezioni 2011/12						
Giorno	Data	Teoria	Lab.	Prog. Ore	Docente	Argomento
gio	6-ott	1		1	Villa	Introduzione al corso
ven	7-ott	3		4	Villa	Operazioni fondamentali sulle funzioni logiche
gio	13-ott	2		6	Villa	Operazioni fondamentali sulle funzioni logiche
ven	14-ott	3		9	Villa	Logica a piu' valori
gio	20-ott	2		11	Villa	Reti a piu' livelli
ven	21-ott	3		14	Villa	Diagrammi di decisione binaria
gio	27-ott	2		16	Villa	Operazioni su reti a piu' livelli; SIS
ven	28-ott	3		19	Fummi	Definizione e caratterizzazione dei difetti, modellazione dei guasti
gio	3-nov	2		21	Pravadelli	Verifica funzionale
ven	4-nov	3		24	Pravadelli	Verifica basata su asserzioni
gio	10-nov	2		26	Pravadelli	Copertura delle asserzioni
ven	11-nov			26		NO LEZIONE
gio	17-nov	2		28	Pravadelli	Copertura delle asserzioni
ven	18-nov	3		31	Pravadelli	Analisi di vacuità
gio	24-nov	2		33	Fummi	Simulazione dei guasti, generazione del test per circuiti combinatori
ven	25-nov	3		36	Fummi	Generazione del test per circuiti sequenziali
gio	1-dic	2		38	Fummi	Design for testability, circuiti self testing
ven	2-dic	3		41	Fummi	Tolleranza ai guasti, circuiti di tolleranza ai guasti
gio	8-dic			41		FESTA
ven	9-dic	3		44	Villa + Di Guglielmo	Ottimizzazione logica a due livelli a piu' valori; espresso
gio	15-dic	2		46	Villa + Di Guglielmo	Operazioni su reti a piu' livelli; SIS
ven	16-dic	3		49	Villa + Di Guglielmo	Operazioni con diagrammi di decisione; CUDD
gio	12-gen	2		51	Fummi + Di Guglielmo	MUFFIN, Certitude
ven	13-gen	3		54	Fummi + Di Guglielmo	Flextest, Fastscan
gio	19-gen	2		56	Fummi + Di Guglielmo	DFTAdvisor, BISTDesigner
ven	20-gen	3		59	Pravadelli + Di Guglielmo	radCHECK: concetti di radCASE e definizione asserzioni PSL
gio	26-gen	2		61	Pravadelli + Di Guglielmo	radCHECK: generazione checker
ven	27-gen	3		64	Pravadelli + Di Guglielmo	radCHECK: verifica ed esercitazione riassuntiva