

# Architettura degli Elaboratori

## Esercizi sul progetto di banche di memoria

Davide Quaglia

Dipartimento di Informatica – Università di Verona

**NOTA:** per la trattazione teorica sulle memorie statiche e dinamiche si faccia riferimento all'Hamacher (Cap. 5.2 Edizione 1 oppure Cap. 9.2 Edizione 2).

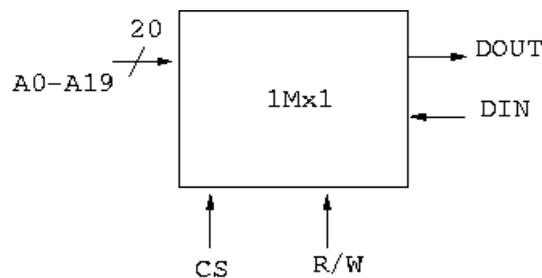
### Esercizio 1

Si realizzi un banco di memoria statica di 4MByte indirizzabile al byte utilizzando chip 1Mx1. Definire la composizione degli indirizzi di memoria.

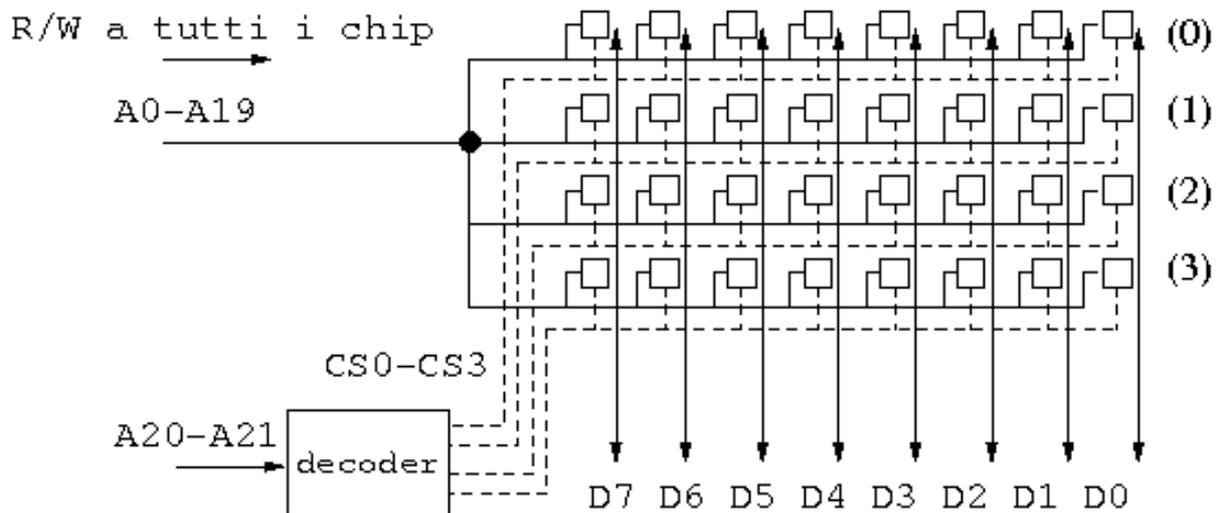
#### RAM STATICA (SRAM)

- veloce (tempo di accesso di circa 10 ns)
- ingombrante (6 transistor/bit)
- usata per registri CPU e cache

I chip 1Mx1 contengono  $1M=2^{20}$  bit e quindi hanno 20 bit di indirizzo. Quando il segnale CS (chip select) è a 0 DOUT è in alta impedenza e DIN non viene ascoltato.



Il banco di memoria avrà invece 22 linee di indirizzo essendo  $4M=2^{22}$   
Lo schema del banco di memoria è il seguente:



Tra parentesi è indicato l'ordine di lettura/scrittura al crescere degli indirizzi.

Gli indirizzi sono composti nel modo seguente:

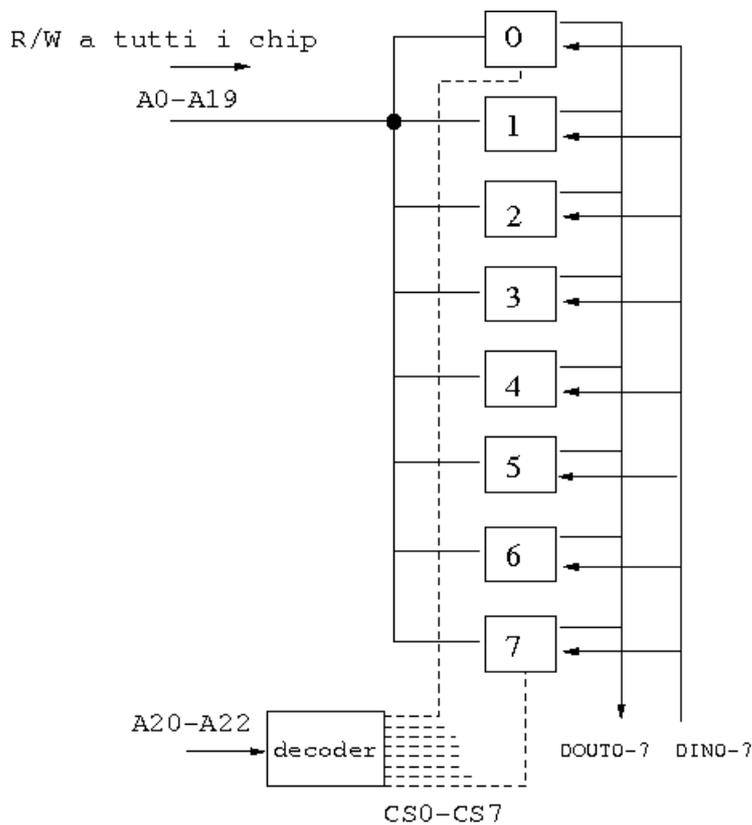
21	20 19	0
Selezione della riga di chip	Indirizzo per il singolo chip	

### Esercizio 2

Si realizzi un banco di memoria statica di  $2M \times 32$  indirizzabile al byte utilizzando chip  $1M \times 8$ . Definire la composizione degli indirizzi di memoria.

I chip  $1M \times 8$  contengono  $1M = 2^{20}$  **byte** e quindi hanno 20 bit di indirizzo. Il banco di memoria avrà invece 23 linee di indirizzo dovendo indirizzare  $2M \times 4 \text{byte} = 8MB$  ed essendo  $8M = 2^{23}$

### Soluzione A)

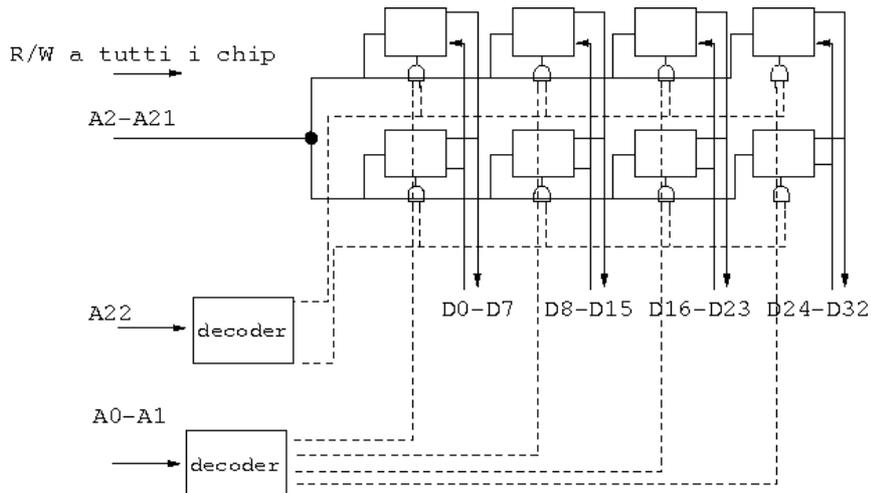


Dentro i chip è indicato l'ordine di lettura/scrittura al crescere degli indirizzi.

La composizione degli indirizzi sarà la seguente:

22	20 19	0
Selezione del chip	Indirizzo per il chip	

## Soluzione B)



La composizione degli indirizzi e' la seguente:

22	21	2	1	0
Selezione della riga di chip	Indirizzo per il chip			Selezione della colonna di chip

### NOTA:

Nella Soluzione (A) si assume che il bus dati del sistema sia a 8 bit. Nella Soluzione (B) si assume che il bus dati del sistema sia a 32 bit e che il byte indirizzato venga messo sul bus nella sua posizione esatta rispetto alla parola di 32 bit che lo contiene (le linee del bus non interessate rimangono in alta impedenza).

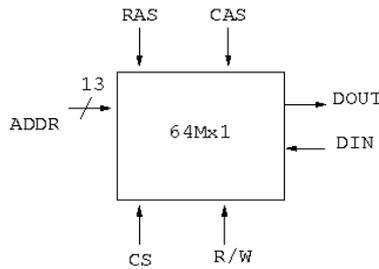
## Esercizio 3

Si realizzi un banco di memoria dinamica 256Mx8 indirizzabile al byte utilizzando chip di memoria dinamica 64Mx1. Definire la composizione degli indirizzi di memoria.

### RAM DINAMICA (DRAM)

- più lenta della SRAM (tempo di accesso di circa 100 ns)
- alta densità (2 transistor/bit)
- richiede cicli di refresh che rallentano ulteriormente l'accesso
- usata per la memoria principale (1-8 GB)

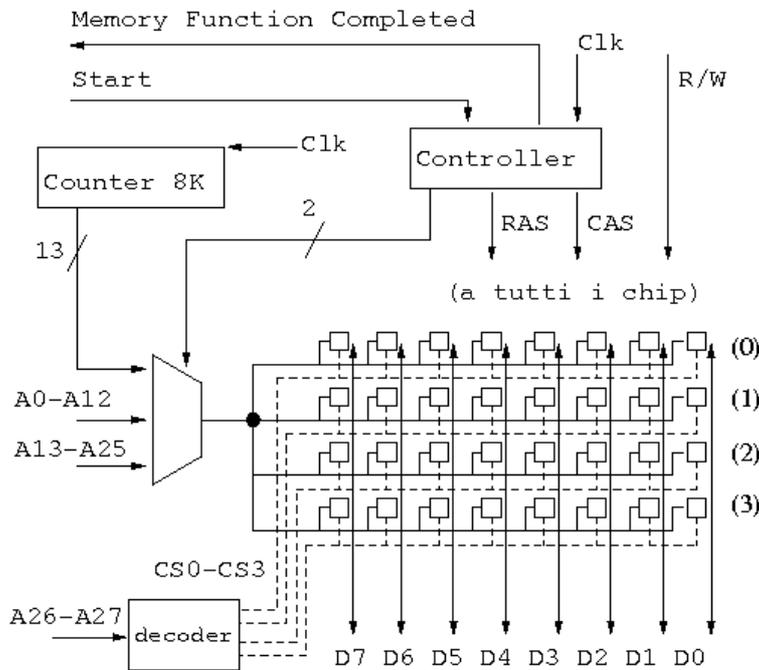
I chip 64Mx1 contengono  $64M=2^{26}$  bit e quindi hanno bisogno di 26 bit di indirizzo. Siccome è disagiata mettere così tanti piedini in un chip, le memorie dinamiche richiedono di specificare l'indirizzo in due fasi dimezzando così il numero di piedini necessari. Quando il segnale CS (chip select) è a 0 DOUT è in alta impedenza e DIN non viene ascoltato.



Il banco di memoria avrà invece 28 linee di indirizzo essendo  $256M=2^{28}$

Lo schema del banco di memoria risultante è il seguente. Tra parentesi è indicato l'ordine di lettura/scrittura al crescere degli indirizzi. Si notino inoltre il multiplexer degli indirizzi, il controllore e il contatore modulo 8k che fornisce gli indirizzi di riga per rinfrescare la memoria (infatti è sufficiente leggere la riga per rinfrescarla completamente).

I segnali RAS, CAS e R/W vanno direttamente a tutti i chip.



Gli indirizzi sono composti nel modo seguente:

27	26	25	0
Selezione della riga di chip	Indirizzo per il singolo chip		