



**Università di Verona**  
**Dipartimento Scientifico e Tecnologico**

Sistemi per la Progettazione Automatica: esame 07/11/00

**Cognome:**.....**Nome:** ..... **Matricola:** .....

**Note:**    *le soluzioni devono essere opportunamente commentate,  
è vietato utilizzare appunti o libri.*

- 1) Descrivere i quattro template principali del VHDL che rappresentano le diverse modalità di sintesi possibile. Riportare un esempio VHDL per ogni template descrivendo il risultato atteso della sintesi.

- 2) Si consideri la seguente descrizione VHDL comportamentale. Si descriva in VHDL una sua realizzazione a livello RT (composta da un unico processo rappresentante una FSM) ottenuta dopo aver effettuato uno scheduling di tipo ALAP, sapendo di avere a disposizione 2 sommatore e 3 moltiplicatori.

```
architecture bhv of example is
begin
P1 : process(clk)
variable a, b, c: UNSIGNED (SIZE-1 DOWNT0 0) ;
variable d, e, f: UNSIGNED (SIZE-1 DOWNT0 0) ;
begin
a := in_a; b := in_b; c := in_c;
d := a + b;
e := d * c + a;
f := e + b;
while (a < b) loop
d := d * (a + b);
e := e * (d * c + a);
f := f + e + b;
a := a + 1;
end loop;
out_d <= d;
out_e <= e;
out_f <= f;
end process P1;
end example;
```

- 
- 3) Si traduca in SystemC la descrizione comportamentale dell'esercizio al punto 2) motivando il modello di processo scelto. Si descrivano anche le caratteristiche degli altri modelli di processo presenti in SystemC.