

Elementi di Architettura e Sistemi Operativi

Bioinformatica - Tiziano Villa

12 Giugno 2017

Nome e Cognome:

Matricola:

Posta elettronica:

problema	punti massimi	i tuoi punti
problema 1	7	
problema 2	8	
problema 3	5	
problema 4	10	
totale	30	

1. Si consideri il seguente paradigma di sincronizzazione, nel caso di due processi che competono per entrare in una sezione critica. Si assuma che:

- (a) Una sezione critica e' protetta se vi puo' accedere un solo processo per volta;
- (b) la sincronizzazione e' equa se ogni processo ha le medesima possibilita' di accedervi.
- (c) All'inizio vale

```
flagA = false;  
flagB = false;
```

Si supponga che si abbia un codice diverso per ogni processo:

Processo A

```
1A. flagA = true;  
2A. while (flagB == true)  
3A.     non si fa nulla;  
4A. si entra nella sezione critica;  
5A. flagA = false;
```

Processo B

```
1B. flagB = true;  
2B. if (flagA == false)  
3B.     si entra nella sezione critica;  
4B. flagB = false;
```

Si risponda alle seguenti domande.

- (a) Questo meccanismo di sincronizzazione garantisce la protezione della sezione critica ?

Se si, si argomenta il motivo. Se no, si dia un esempio di esecuzione dei due processi che viola la protezione.

Traccia di soluzione.

Si. Il processo A entra nella sezione critica solo quando *flagB* e' falsa (il che succede solo mentre il processo B sta eseguendo prima di 1B o dopo 4B). Il processo B entra nella sezione critica solo quando *flagA* e' falsa (il che succede solo mentre il processo A sta eseguendo prima di 1A o dopo 5A).

- (b) Questo meccanismo di sincronizzazione e' equo ?

Traccia di soluzione.

No. Un'analisi dei casi mostra che il processo A ha piu' possibilita' del processo B di entrare nella sezione critica. Ad esempio, se entrambi i processi assegnano a vero le rispettive variabili *flagA* and *flagB* (con le istruzioni 1A e 1B), poi succede che il processo B esce dal suo codice rimettendo a falso la variabile *flagB*, e cosi' permette al processo A di entrare nella sezione critica.

2. Si consideri il seguente scenario di memoria organizzata a due livelli con segmenti e pagine:

- (a) il numero di segmento virtuale e' rappresentato con 2 cifre binarie;
 - (b) il numero di pagina virtuale e' rappresentato con 8 cifre binarie;
 - (c) lo scostamento ("offset") e' rappresentato con 12 cifre binarie;
 - (d) un elemento della tavola delle pagine (PTE) e' rappresentato con 8 cifre binarie
 - (e) il numero di pagina fisica e' rappresentato con 8 cifre binarie.
- (a) Si spieghi il meccanismo di traduzione degl'indirizzi logici (22 cifre binarie) in indirizzi fisici (20 cifre binarie), aiutandosi con uno schema grafico se conveniente.

Traccia di soluzione.

Si vedano il libro di testo e le dispense per una spiegazione dello schema d'indirizzamento a due livelli con segmenti e pagine.

(b) Date la tavola dei segmenti e la memoria fisica allegate, si traducano i seguenti indirizzi logici nei corrispondenti indirizzi fisici:

- $0x304F51$

Traccia di soluzione.

Segmento invalido.

- $0x23200D$

Traccia di soluzione.

$0x7400D$

Per entrambe le traduzioni, si veda l'allegato che mostra graficamente il processo di traduzione da indirizzo logico a fisico.

3. (a) Si scriva un'istruzione LC-3 per copiare il contenuto del registro R2 nel registro R3.

Traccia di soluzione.

```
ADD R3, R2, #0
```

- (b) In LC-3 non c'è un'istruzione per la sottrazione. Si scrivano tre istruzioni per eseguire la seguente sottrazione tra registri:

```
R1 <--- R2 - R3.
```

Traccia di soluzione.

```
NOT R3, R3
```

```
ADD R3, R3, #1
```

```
ADD R1, R2, R3
```

Una soluzione meno invasiva non modifica il contenuto di R3:

```
NOT R1, R3
```

```
ADD R1, R1, #1
```

```
ADD R1, R1, R2
```

4. Si progetti un circuito sequenziale che realizza la seguente specifica:

- C'è una variabile binaria in ingresso X , e una variabile binaria in uscita Z .
- L'uscita Z è asserita a 1 ogni volta che si rileva la sequenza in ingresso 01 oppure la sequenza in ingresso 10 (cioè gli ultimi due ingressi sono 01 o 10), altrimenti vale 0.
- Si richiede la realizzazione come macchina di Moore.

(a) Si disegni il grafo delle transizioni di una macchina a stati finiti che realizza la specifica. S'indichi lo stato iniziale.

Traccia di soluzione.

Si vedano le dispense del corso per la soluzione dell'esercizio,

(b) Si minimizzi il numero degli stati della macchina proposta, applicando l'algoritmo di minimizzazione degli stati.

(c) Si scriva la tavola delle transizioni con gli stati futuri e le uscite e la si codifichi.

- (d) Supponendo di usare bistabili di tipo D, si derivino le equazioni minimizzate di eccitazione degl'ingressi dei bistabili e le equazioni minimizzate delle uscite. Si esegua e mostri la minimizzazione con le mappe di Karnaugh.

- (e) Si realizzi il circuito sequenziale corrispondente con bistabili di tipo D campionati sul fronte di salita, invertitori e porte NAND. Si etichettino con chiarezza i segnali.